

Multi-Channel Parallel Hybrid Data Storage System Based on FPGA *

LIU Sheng^{1,2}, SHEN Xuejing³, WANG Yan^{1,2}, CHEN Hang^{1,2}, ZHANG Huixin^{1,2*}

(1. National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan Shanxi 030051, China;

2. Key Laboratory of Instrumentation Science and Dynamic Measurement, Ministry of Education, North University of China,

Taiyuan Shanxi 030051, China; 3. Capital Aerospace Machinery Co., Ltd., Beijing 100076, China)

Abstract: In order to solve the problem of multi-channel signal parallel mixed acquisition and storage, a multi-channel parallel acquisition and storage system based on FPGA is designed. The system uses XC6SLX16_3CSG324I as the main control chip. The design includes data acquisition and receiving module, data storage module and data readback module. The data receiving module includes 16-channel analog data, seeker (DYT) data, pulse code modulation (PCM) data and control command data. This system makes full use of the advantages of FPGA reconfigurable, makes reasonable use of internal resources, reduces the overhead of hardware resources, and carries out multi-channel parallel acquisition and storage of the received data. Using the handshake principle, the loss of data is reduced. The experimental results show that the storage rate of the system can reach up to 25 Mbyte/s, and the frame count is continuous when the data is read back by the standby port, and the system has high accuracy.

Key words: FPGA; multiplexing; refactoring; the handshake principle; storage data

EEACC: 1265D

doi: 10.3969/j.issn.1005-9490.2021.01.015

基于 FPGA 的多路并行混合数据存储系统 *

刘 胜^{1,2}, 沈学静³, 王 艳^{1,2}, 陈 航^{1,2}, 张会新^{1,2*}

(1. 中北大学电子测试技术国家重点实验室, 山西 太原 030051; 2. 中北大学仪器科学与动态测试教育部重点实验室,

山西 太原 030051; 3. 首都航天机械有限公司, 北京 100076)

摘要: 为了解决多路信号并行混合采集存储的问题, 文中设计了一种以 FPGA 为控制芯片的多路并行采集存储系统。该系统选用 XC6SLX16_3CSG324I 为主控芯片, 设计包括数据采集接收模块、数据存储模块、数据回读模块。数据接收模块包括 16 路模拟量数据、导引头 (DYT) 数据、脉冲编码调制 (PCM) 数据和控制命令数据。该系统充分利用 FPGA 可重构的优势, 对内部资源合理利用, 降低了硬件资源开销, 对所接收数据进行多路并行采集存储; 利用握手原则, 减少了数据的丢失。实验结果表明, 该系统存储速率最高可达 25 Mbyte/s, 且备用口回读数据时, 帧计数连续, 该系统准确性较高。

关键词: FPGA; 多路并行; 重构; 握手原则; 数据存储

中图分类号: TN919.5; TN965.7+4

文献标识码: A

文章编号: 1005-9490(2021)01-0077-04

在新型导弹技术研发过程中, 弹载存储测试系统起到的作用越来越大, 地位越来越重要。在大量的重复性试验过程中, 获取的试验数据有着重要的意义, 存储测试系统可以记录原始数据, 用于研发人员分析设计是否合理以及是否满足最初的设计构想和技术指标。弹载存储测试系统用于记录导弹在试验时全弹道过程的各种参数, 比如发射膛压、飞行速度、飞行姿态、加速度信号等^[1]。大量试验结束后, 通过上位机读取数据, 分析、处理数据, 可以不断改进设计问题, 优化设计理念, 用来确保导弹在存储、

飞行过程中的安全性, 以及对目标打击的准确性^[2]。为了减少数据丢失, 实时存储接收到的数据尤为重要^[3]。

文中设计的多路并行数据存储系统的存储电路体积减小, 其存储器外部结构减小, 质量减小, 而存储容量增大, 存储数据的种类增加。

1 系统总体方案设计

在多路并行数据存储系统中, 各模块软件设计均由主控芯片 XC6SLX16_3CSG324I 完成, 以满足时

项目来源: 国家自然科学基金杰出青年基金项目(61525107)

收稿日期: 2020-05-08 修改日期: 2020-07-01

钟频率需求。数据缓冲是基于 FPGA 内部丰富的 RAM 资源^[4],FPGA 强大的逻辑处理能力,使其成为最佳的主控芯片^[5],根据实际情况分析,数据记录器实际工作环境为飞行器上,根据其实际工作环境性设计了两种工作模式,命令控制模式与上电即

存模式。命令接收模式为与地面测试系统匹配的工作模式,上电即存为实际工作模式。上电后,返回工况信息,据工况信息,接收各种数据源,将并行数据与混编数据存储,并进行数据监测,且循环记录。该系统总体设计框图如图 1 所示。

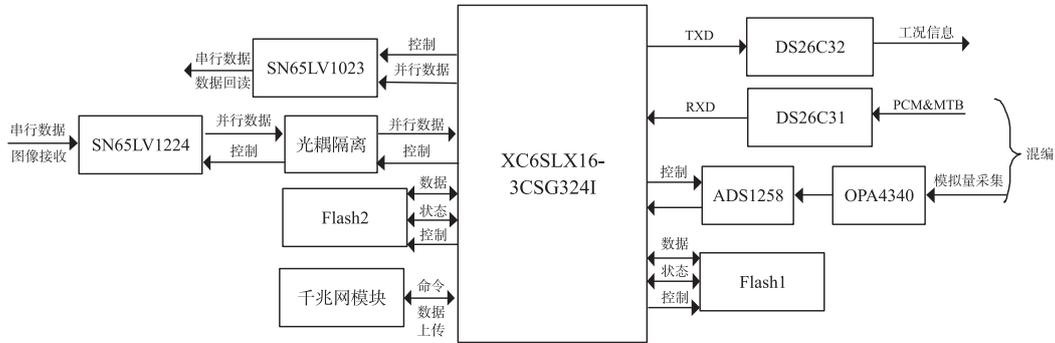


图 1 系统总体结构框图

2 硬件电路设计

2.1 数据接收模块设计

DYT 数据接收模块受 AD 采样速率和发送系统带宽的影响,本系统数据传输速率 25 Mbyte/s,传输速率相对较快,它使用 LVDS 线缆进行数据传输。LVDS 接口芯片采用 SN65LV1224,其为解串芯片,可以将大量高速数据实时快速地传输到存储设备中,并利用光耦合器隔离。本系统中,接收时钟与发送时钟为同步信号;REFCLK 与 RCLK 相同,均为 25 MHz,FPGA 所配置时钟为 80 MHz。

模拟量数据采用 ADS1258 模数转换芯片进行数据采集,并且完成对 16 路循环采集数据的实时记录。该模数转换芯片为 24 位转换精度,采用自动通道采集模式,配置为 16 路单端输入^[6]。使用选通开关 ADG706 作为通道选择芯片,其最大开关频率为 25 MHz;ADS1258 芯片的时钟选择使用内部时钟,所以不需要再接外接晶振,将管脚 CLKSEL 拉高^[7],由 FPGA 产生的时钟信号由管脚 CLKIO 输入,为 ADS1258 提供了工作时钟^[8]。FPGA 与 ADS1258 的接口、复位、控制、状态指示等引脚相连,完成模数转换的控制及寄存器的配置。其硬件电路如图 2 所示。

2.2 数据存储模块设计

该模块使用的芯片是 NAND FLASH MEMORY MT29F128G08AJAAA,它具有开放式 NAND 闪存接口、单级单元技术、读写周期长、电压需求低、体积小、存储容量大等优点,该芯片是由 Micron 公司生产的^[9]。芯片容量可达 16GB,有 2 个 LUC,有 2 个 Plane,每个 Plane 有 2 048 个 block,一个 block 有 256 页,每一页的存储容量为 8 KB,芯片每一页内部

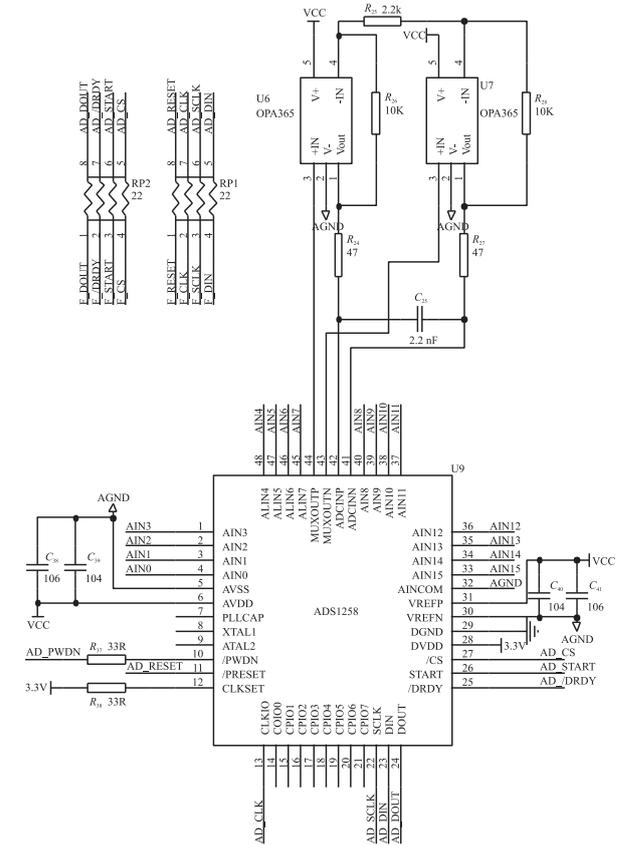


图 2 数据采集模块原理示意图

有专门用于存储标记的信息或原始出厂信息以及自定义配置等信息的空间为 448 byte,并通过共享 R/B 信号的存储方式在逻辑上控制每一个逻辑单元^[10],进而实现数据的高速存储。该芯片的工作电压范围为 2.7 V~3.6 V,本系统中其工作电压为 3.3 V,上电后,首先发送复位命令将目标置于已知条件并中止正在进行的命令序列,然后检测 R/B 信号,将 t_{RSTA} 时间拉低后开始进行参数配置^[11]。该芯

个通道进行采集转换。

400E:	8A	09	B5	D7	00	5C	8C	3D	0B	A1	00	5D	92	27	13	07	00	5E
4020:	8A	09	B5	C1	00	5F	8C	3D	0D	A9	00	60	92	27	15	7C	00	61
4032:	8A	09	B5	9F	00	62	8C	3D	07	E3	00	63	92	27	0A	00	64	
4044:	8A	09	B5	48	00	65	8C	3D	04	82	00	66	92	27	09	C2	00	67
4056:	8A	09	B5	70	00	68	8C	3D	06	8A	00	69	92	27	01	93	00	6A
4068:	8A	09	B5	AA	00	6B	8C	3D	05	DB	00	6C	92	27	07	2D	00	6D
407A:	8A	09	B5	50	00	6E	8C	3D	06	52	00	6F	92	27	00	0F	00	70
408C:	8A	09	B4	F5	00	71	8C	3D	09	87	00	72	92	27	00	00	00	73
409E:	8A	09	B4	F8	00	74	8C	3D	06	EF	00	75	92	26	FB	E1	00	76
40B0:	8A	09	B4	96	00	77	8C	3D	0C	AE	00	78	92	27	01	50	00	79
40C2:	8A	09	B5	20	00	7A	8C	3D	0F	39	00	7B	92	26	FD	82	00	7C

图 7 采集数据存储

5 结 语

本设计中,利用 FPGA 可重构的优势,对内部资源合理利用,充分合理分配内部 RAM 资源,设计了一种存储电路体积小,结构小,容量大,存数据种类多的存储系统。该系统可混编并行存储多种数据,并返回记录器工作状态监测数据,系统存储速率最高可达 25 Mbyte/s。测试结果表明,测试结果正确,分析数据显示正确,该系统工作状态稳定,无丢帧现象。

参考文献:

- [1] 张瑞. 弹载存储测试系统的可靠性研究[D]. 太原:中北大学,2018.
- [2] 杨政军. 高速大容量数据记录仪的设计与实现[D]. 武汉:华中科技大学,2013.
- [3] 杜宇宁,辛海华,张会新,等. 基于 FPGA 的传感器噪声信号采集压缩存储系统的设计[J]. 电子器件,2019,42(6):1547-1551.
- [4] 文丰,丁志钊. 基于 FPGA 的并行测试高速存储技术[J]. 现代工业经济和信息化,2016,6(4):33-35.
- [5] 杨玉华,刘兴俊,任俊杰. 基于 FPGA 的高速固态存储器优化设计[J]. 自动化与仪表,2016,31(3):68-72.
- [6] 肖才庆. 基于 FPGA 的多片 NAND FLASH 并行存储控制器的设计与实现[D]. 济南:山东大学,2012.
- [7] 卢超,梁烁,严帅,等. 基于 485 总线的高精度数据采集系统设计[J]. 电子器件,2018,41(6):1572-1576.
- [8] 张会新,余俊斌,严帅,等. 基于 RS485 总线的前端数字化数据采集系统[J]. 仪表技术与传感器,2018(6):71-75.
- [9] 江旭东. 基于 NAND Flash 阵列的高速大容量图像存储器设计[D]. 太原:中北大学,2016.
- [10] 陈昭林,张晋宁,沈辉. 基于 BCH 码的 NAND Flash 纠错算法设计与实现[J]. 电子测量技术,2017,40(3):127-132.
- [11] Jin L I, Jin L, Guoning L I, et al. NAND Flash Error Correction Arithmetic Based on ECC Embedded BCH Code[J]. Journal of Harbin Engineering University, 2012, 33(11):1399-1404.
- [12] 郑润. 某存储器地面测试台的设计及关键技术研究[D]. 太原中北大学,2018.
- [13] 胡辽林,刘光飞. 视频图像处理系统中 SDRAM 控制器的 FPGA 实现[J]. 西安理工大学学报,2016,32(4):455-461.
- [14] 刘明. 非易失半导体存储器技术[J]. 光学与光电技术,2016,14(5):6-9.



刘 胜(1991—),男,汉族,山西岚县人,在读研究生,主要研究方向电子与通信技术、嵌入式技术、FPGA 开发,779636487@qq.com;



张会新(1980—),男,汉族,黑龙江牡丹江人,副教授,主要研究方向抗过载存储技术及动态测试技术与仪器,zhanghx@nuc.edu.cn;



王 艳(1993—),女,汉族,山西,学士学位,在读研究生,主要研究方向为智能仪器、FPGA 开发;



陈 航(1993—),男,硕士研究生,研究方向为嵌入式智能仪器,614441509@qq.com。