Design of Miniaturization Microwave Transmission System Based on FPGA*

YANG Kai[1], *SHEN Xuejing*[2], *ZHANG Huixin*[1*], *LIANG Yonggang*[3]

(1. *National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan Shanxi* 030051, *China*;
2. *Capital Aerospace Machinery Co., Ltd., Beijing* 100076, *China*;
3. *The Unit* 68216 *of the People's Liberation Army of China, Beijing* 100076, *China*)

Abstract: According to the test requirements of working parameters of small aircraft during flight, a miniaturized broadband zero-IF wireless transmitting system based on FPGA is designed. The system takes the FPGA as the main control unit, receives the parameters of the sensor on the air vehicle, and completes the output of the RF signal of the required frequency band through QPSK modulation and a reasonable up-conversion module. After testing, the transmitter output modulation signal frequency up to 4 000 MHz, power up to 10 dBm, the various parameters meet the design requirements, enabling high-speed data transmission.

Key words: FPGA; miniaturization; QPSK; Zero-IF; microwave; transmitter
EEACC: 1350 **doi**: 10.3969/j.issn.1005-9490.2021.01.006

基于 FPGA 的小型化微波发射系统设计*

杨 凯[1], 沈学静[2], 张会新[1*], 梁永刚[3]

(1.中北大学电子测试技术重点实验室, 山西 太原 030051; 2.首都航天机械有限公司, 北京 100076;
3.中国人民解放军 68216 部队, 北京 100076)

摘 要: 针对小型飞行器在飞行过程中工作状态参数的测试需求, 设计了一种基于 FPGA 的小型化宽带零中频微波发射系统。该系统以 FPGA 为主控单元, 接收飞行器上传感器的参数, 通过正交上变频模块, 实现 QPSK 调制, 完成对所需频段微波信号的输出。经测试, 该发射机输出的调制信号频率可达到 4 000 MHz, 功率可达到 10 dBm, 各项参数满足设计要求, 能够实现数据的高速传输。

关键词: FPGA; 小型化; QPSK; 零中频; 微波; 发射机
中图分类号: TN015 **文献标识码**: A **文章编号**: 1005-9490(2021)01-0030-05

随着空间技术和飞行技术的飞速发展, 正确且有效地将飞行器的速度、位置、姿态等飞行状态发送到基站, 有助于飞行器稳定地工作[1]。微波发射机作为航天测控系统的核心部件, 其技术发展水平直接影响着航天测控系统的发展。目前, 微波发射机的主要研究方向主要是小型化、低功耗、高效率的数据传输。

本文设计了一款基于 FPGA 的微波频段发射机, 采用软件无线电技术, 通过对数字信号的矢量正交调制, 对信号进行直接上变频处理, 最终实现小型发射机的研制, 该发射机具有良好的通用性, 可以在很宽的频带内选择载波频点。

1 系统整体设计

本系统在设计时设定了以下几点目标: (1)设计合理, 具有通用性并且维护简单; (2)系统满足小型化要求; (3)满足设计时要求的各项技术指标: 发射机发射的微波信号频率小于 5 GHz, 功率小于 12 dBm。

本次设计的发射系统总体结构如图 1 所示。

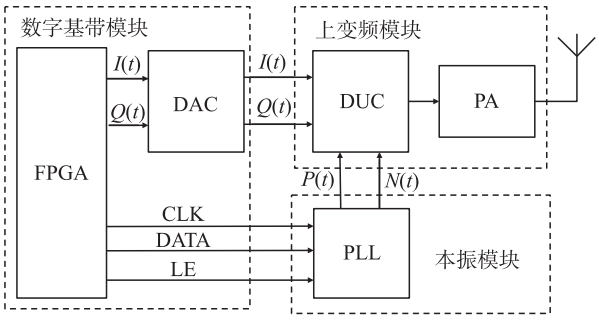


图 1 系统总体结构图

主要由数字基带模块(编码、调制)、本振模块、上变频模块、天线组成。FPGA 先对数字信号进行串

项目来源: 国家自然科学基金项目(61335008)
收稿日期: 2020-05-22 **修改日期**: 2020-07-16

并转换输出两路基带信号 $I(t)$ 和 $Q(t)$,然后与本振信号进行零中频的上变频处理,输出的微波信号再经由滤波和放大,最后由天线发射出去。其中采用正交调制器完成调制和上变频两个步骤,满足了了小型化的要求。

2　系统硬件设计

2.1　数字基带模块设计

本模块利用软件无线电原理,实现电路的数字化,运用可编程技术对基带信号实现码元变换,极性变换,成形滤波等处理,最后得到两个相位相差 π/2 的分量,再将数字信号通过 DAC 得到模拟 QPSK 基带信号。

AD9779 是一款采样速率高达 1 Gsample/s,数据宽度为 16 bit,高集成度内插式双通道数模转换芯片,能够发生最高达奈奎斯特频率的多载波[2],可以对正交调制的复数数字调制以及增益与失调补偿方面进行优化设计,并且输出与模拟正交调制器可以无缝连接[3]。如图 2 所示为 DAC 与正交调制器的接口电路原理图。

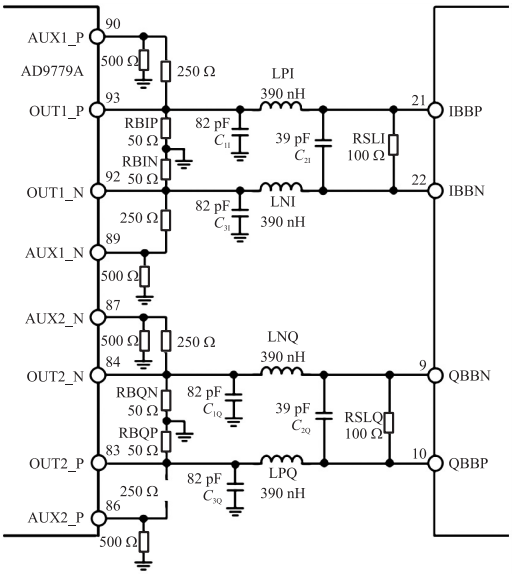


图 2　DAC 与正交调制器的接口电路

2.2　数字本振模块设计

本模块设计要求为输出频率 4 000 MHz,相位噪声在 100 kHz 带宽处≤105 dBc。为满足小型化的要求,数字本振模块使用 ADI 公司的 ADF4106,其具有整数分频频综、归一化相噪基底为-223 dBc/Hz,功耗较低的优点,是一款性能优良的集成数字锁相环频率合成器,再利用环路滤波、压控振荡器可以形成一个完整的锁相环电路[4]。

使用 ADI 公司的 ADISimPLL 软件可以对锁相环路进行环路滤波器的仿真设计。设定参考晶振 10 MHz,鉴相频率 1 MHz,输出频率 4 000 MHz。压控振荡器使用 ZComm 公司的 V844ME05,环路滤波器使用 3CZR 结构,相位裕量取 45°,并且环路的带宽设计决定了锁相环校正相位误差的速度。

如图 3 所示为设计的 PLL 的电路原理图,本模块以此为依据,进行 PLL 电路的 PCB 设计。

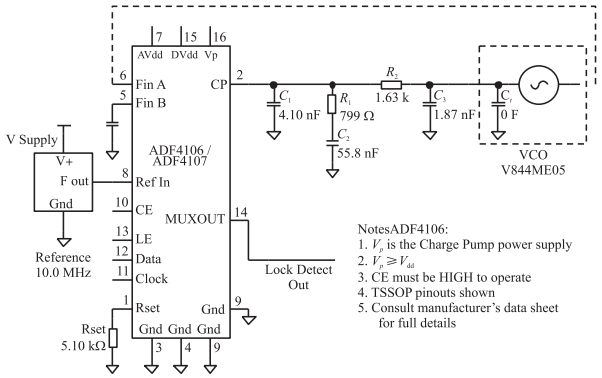


图 3　PLL 电路原理图

表 1 所示为所生成原理图中不同频率下各个部分所产生的相位噪声,其中 Freq 表示频率,单位是 Hz,total 为总体相位噪声,VCO 为压控振荡器的相位噪声,Ref 为参考晶振相位噪声,Chip 为芯片相位噪声,Filter 为滤波器的相位噪声,噪声单位为 dB,可以看出,满足设计要求。

表 1　相位噪声表

Freq	Total	VCO	Ref	Chip	Filter
100	−57.95	−118.10	−57.96	−87.42	−121.80
1.00k	−77.44	−98.19	−77.73	−90.21	−101.90
10.0k	−81.95	−84.68	−95.59	−88.58	−88.80
100k	−106.60	−106.90	−149.10	−125.20	−119.40
1.00M	−127.00	−127.00	−209.00	−182.00	−157.60

2.3　上变频模块设计

为了满足小型化要求,本模块上变频电路选用 ADI 公司推出的一款频率覆盖 400 MHz~6 GHz 范围的宽带正交调制器实现直接上变频设计。ADL5375 需要输入一路单端的本振 LO 信号,和两路差分基带信号,本振 LO 信号分离为两路幅度相等,但刚好有 90°的相位差的正交信号,这两路信号会同时输入到片内两个混频器,再将这两个混频器的输出相加,可以得到 IQ 上变频调制的单端 50 Ω 输出信号[5]。图 4 为 ADL5375 的基本连接电路。其中 DSOP 引脚为高电平时,芯片内部输出开关断开,无输出射频信号;为低电平时则相反。输出信号受控制,增强了电路的智能化。另外,在布线时,应尽量保证两路差分对对称,走线长度一致,降低两路失调的概率。

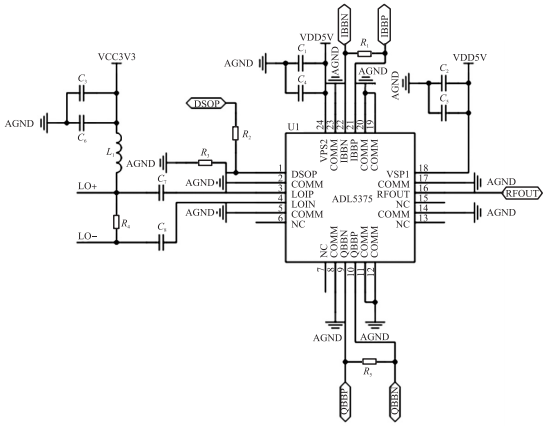


图 4 正交调制电路

2.4 放大电路设计

发射通道的射频放大器用于放大正交上变频之后的射频信号。为使放大电路工作于线性放大状态,选择放大器时,要求 $P_{\text{in,1 dB}}>0$ dBm。考虑到放大电路后级有射频走线、合路器、射频接口等因素引入的信号插损,为获得指标要求的 10 dBm 的输出信号功率,放大器增益必须留有余量。

本模块射频发射前端电路选择 Hittite Microwave 公司的功率放大芯片 HMC326MS8G。HMC326MS8G 是一种基于双极性异质结晶体管技术的 MMIC 射频放大器,其工作频率处于 3.0 GHz~4.5 GHz,饱和输出功率 26 dBm,功率附加效率(μ_{PAE})40%以上,典型输出压缩点 $P_{\text{out,1 dB}}$为 23.5 dBm,可提供增益 $G=21$ dB,并设有增益控制引脚。

$$P_{\text{in,1 dB}}=P_{\text{out,1 dB}}-G \tag{1}$$

由式(1)可得,HMC326MS8G 的输入压缩点 $P_{\text{in,1 dB}}$为 2.5 dBm 左右。虽然高于输入 0 dBm 的输入信号,但是输入功率接近 $P_{\text{in,1 dB}}$,器件非线性特性增强,干扰增多。为此,需要在放大器输入端增加一 π 型电阻衰减器,并且考虑阻抗匹配问题,电路如图 5 所示。

已知 HMC326MS8G 内部已集成部分信号匹配电路,芯片外围只需连接较少的匹配器件,HMC326MS8G 的外围电路如图 6 所示。

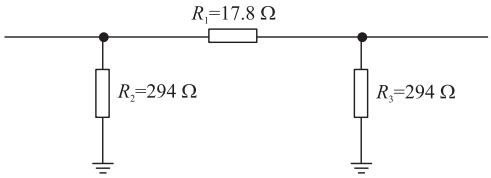


图 5 π型电阻衰减电路

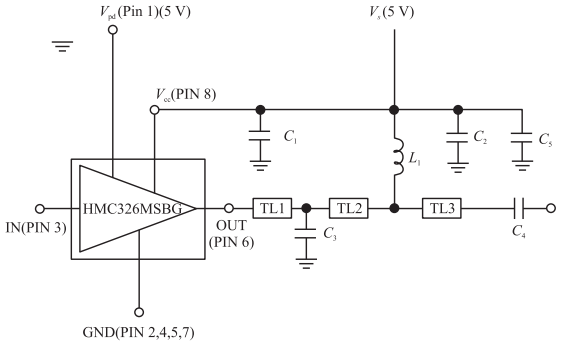


图 6 放大器外围电路

3 系统软件设计

3.1 基带信号处理

本模块采用 Spartan-6 系列 FPGA 产生 QPSK 调制所需要的基带信号 $I(t)$和 $Q(t)$,本模块使用其内部集成的输入串并转换器原语,采用 SDR 模式将 1 bit 数据转换为 2 bit 数据,图 7 所示为仿真图。

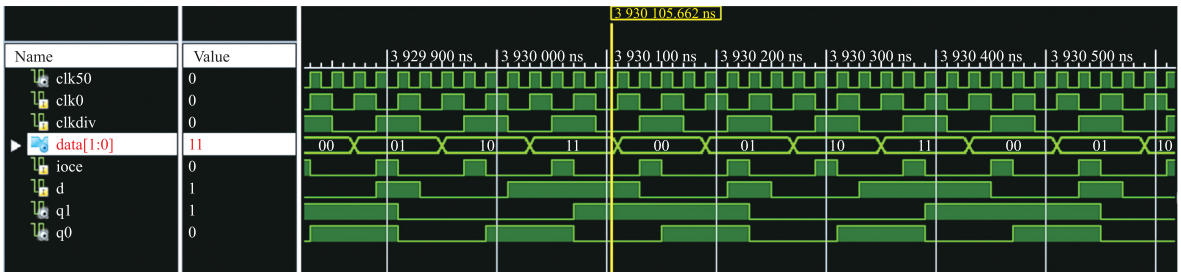


图 7 $I(t)$和 $Q(t)$产生的仿真图

由 FPGA 产生的两路基带信号 $I(t)$和 $Q(t)$需要经过数字滤波处理,再输出给正交调制器。其作用有两个,一个是平滑波形效果,提高频谱的利用率;一个是消除码间干扰(ISI)[6]。滤波器形式选用 FIR 滤波器,n 阶 FIR 滤波器输出公式如下:

$$y(n)=x(n)\otimes h(n)=\sum_{i=0}^{N-1}x(n)h(n-i) \tag{2}$$

式中:n 为滤波器的阶数,$h(n)$为滤波器的系数。N 表示将输入信号及其 $N-1$ 个输入信号输入滤波器做卷积运算,卷积运算是将输入信号先扩充为 n 点数据,然后翻转,并与系数相乘,最后累加。通过 MATLAB 仿真可以得到 FIR 滤波器的系数,将得出的系数存储在 coe 文件中,再导入到 FPGA 的 IP 核中,即可调用滤波器 IP 核[7]。

3.2 数字本振控制模块

ADF4106 主要通过模式位的电平差异来使双

模分频器有两种分频模数 P 和 $P+1$。VCO 的频率计算方程式为:

$$f_{VCO}=[(P\times B)+A]\times f_{REFIN}/R \quad (3)$$

式中:f_{VCO}为本振模块输出频率;P 为双模分频器的预设模式;B 为 13 位计数器(3~8 191);A 为 6 位计数器(0~63);f_{REFIN}为外部参考源;R 为参考源信号的分频比(1~16 383)[8]。根据指标要求,输出频率为 4 000 MHz,相位噪声≤−115 dBc/Hz@ 100 kHz。已知参考源频率为 10 MHz,设定 ADF4106 的各个参数如下:参考源信号分频比 R 为 10,分频模数 P 为 16,分频比 $N=4\ 000$,由 $N=BP+A$,计算得出 $B=248$,$A=32$。因此,R 寄存器预设为 000028h,N 寄存器预设为 00f881h,F 寄存器预设为 4008c2h。如图 8 所示为送数时序。

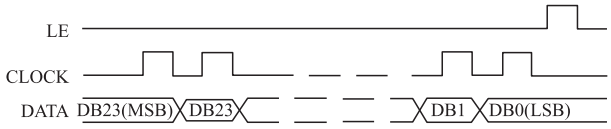


图 8　送数时序

3.3　正交调制模块

本模块采用 QPSK 的调制方法,利用载波的四种不同相位(45°,135°,225°,315°)来表征输入的数字信息,调制器输入的数据是一组由数字基带模块发出的差分信号[10]。矢量分析图如图 9 所示。可以看出,QPSK 中的一次调制能够传输 2 个信息比特,这些信息比特都是由载波的这四种相位表征的。

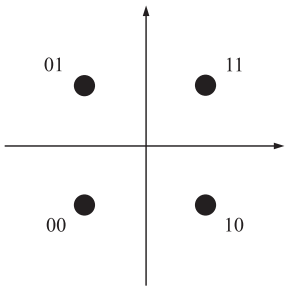
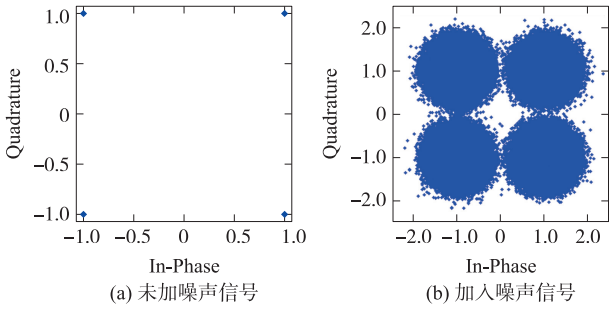


图 9　矢量分析图

由图可以看出:当输入的数字码元为“11”时,输出已调波形 $A\cos(2\pi f_c t+\pi/4)$,当输入的数字码元为“01”时,输出已调波形 $A\cos(2\pi f_c t+3\pi/4)$,当输入的数字码元为“11”时,输出已调波形 $A\cos(2\pi f_c t+5\pi/4)$,当输入的数字码元为“10”时,输出已调波形 $A\cos(2\pi f_c t+7\pi/4)$。

4　系统测试与可行性分析

首先采用 MATLAB 仿真来验证 QPSK 调制方式的可行性,根据信噪比对已调信号加入高斯噪声数据,进行星座图的对比和判决,结果如图 10 所示。由图 11 能够观察到 QPSK 误码率曲线和误比特率曲线,其中理论与实际曲线重叠在一起,并且误码率约是误比特率的两倍,这种调制方式是可行的。



(a) 未加噪声信号　　(b) 加入噪声信号

图 10　星座图的对比和判决

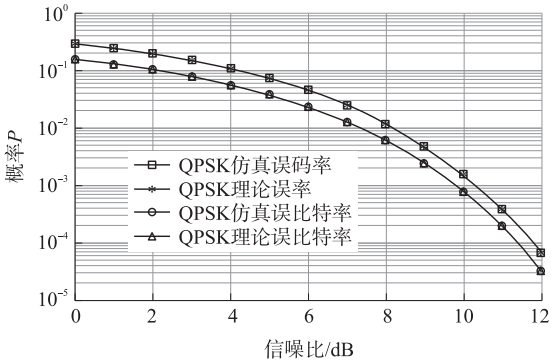
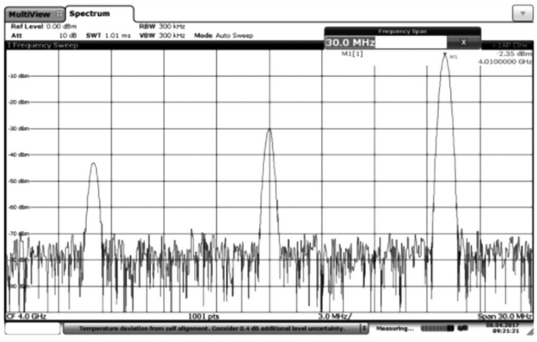
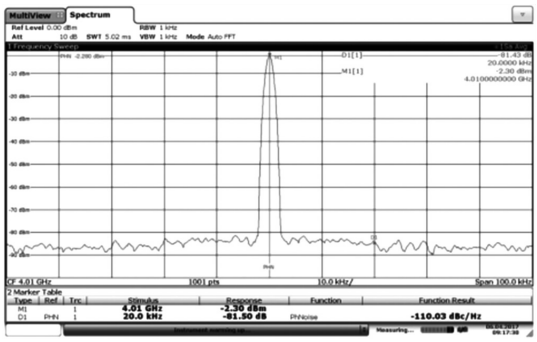


图 11　误码率和误比特率的理论和仿真曲线

接着测试上变频模块,结果如图 12 所示。由于数字基带信号频率为 10 MHz,正交调制的本振信号频率为 4 GHz,电路的输出信号的频率为 4.01 GHz。



(a) 频谱图



(b) 相位噪声

图 12　输出信号频率为 4.01 GHz 时的频谱和相噪图

测得的结果如图所示,其载波抑制能力达到 30 dB,边带抑制能力达到 40 dB。

5 结论

本文设计了一款基于 FPGA 的微波频段发射机,采用软件无线电思想,对数字信息进行矢量正交调制,输出频率 4 GHz、功率 10 dBm 的微波信号。该系统频率变换一步到位,干扰信号较少,所用器件较少,便于电路集成。这种小体积、低成本方案,具有很强的通用性和良好的互通性,可以广泛运用于航天测试系统中。

参考文献:

[1] 张会新,张凤英,马睿,等. 一种多指令信号源遥测系统的设计与实现[J]. 电子器件,2015,38(2):458-462.

[2] 张拓. S 波段锁相调频发射机的研究及实现[D]. 西安:西安电子科技大学,2014.

[3] 方宏,卞昕,何昭,等. 基于星座图设计的矢量调制误差计量方法研究[J]. 仪器仪表学报,2013,34(1):128-132.

[4] 杨宜生. 基于 ADF4106 的本振源的设计与实现[J]. 科技信息,2012(14):341.

[5] 赵林军. 根升余弦脉冲成形滤波器 FPGA 实现[J]. 现代电子技术,2011,34(1):23-25,28.

[6] 马文建. 宽载波频率大带宽超短波射频电路关键技术研究与验证[D]. 成都:电子科技大学,2017.

[7] 费丹,熊磊,吴建强. 基于软件无线电的无线信道仿真仪设计与实现[J]. 仪器仪表学报,2013,34(S1):93-98.

[8] 邢长昕. 基于软件无线电的差分跳频数据链通信技术研究[D]. 沈阳:沈阳理工大学,2017.

[9] 刘文学,韩斌,冯伟,等. 基于软件无线电的机载射频信号综合处理技术[J]. 电子测试,2017(4):62-64.

[10] 张锦涛,邱昕,李中秋,等瑞.一种基于软件无线电的数字射频发射机方案[J]. 微电子学与计算机,2017,34(3):70-73.

杨 凯(1996—),男,山西省太原市人,硕士研究生,研究方向为仪器仪表工程,yangkai 68856@ qq.com;

张会新(1980—),男,副教授,研究方向为抗过载存储技术及动态测试技术与仪器,zhanghx@ nuc.edu.cn。