

A Two-Stage SAR ADC with A Modified Auto-Zero Technique*

HU Yi¹, LI Zhenguo¹, HOU Jiali¹, XUE Mingyi², HU Weibo^{2*}

(1. Beijing Smart-Chip Microelectronics Technology Co., Ltd., Beijing 100192, China;

2. College of Electronic Information and Optical Engineering, Nankai University, Tianjin 300071, China)

Abstract: A novel structure of two-stage high-resolution successive approximation register (SAR) ADC is proposed. A residual amplifier is used to connect the two stages. Being different from the structures of traditional ADCs, in the proposed ADC, a modified auto-zero technique is adopted, and two single-ended DACs replace a differential DAC in the second stage. During the digitization time in the first stage, the shorted residue amplifier amplifies its own mismatch voltages and noises, and saves them in one single-ended DAC. After quantizing, the residual voltage, mismatch voltages and noises are amplified together and kept in the other single-ended DAC. During digitization in the second stage, the mismatch voltages and low frequency noises would be mutually cancelled. A two-stage 16 bit 500 kS/s SAR ADC is implemented adopting a 180 nm process, with a 3.3 V power supply to verify it. It uses 560 μA current to achieve 93.7 dB SNDR in simulation when the integrated noise (rms) in the residual amplifier is 89 μV .

Key words: analog-to-digital converter; successive approximation register; auto-zero technique; residual amplifier; pseudo-differential digital-to-analog converter

EEACC: 2570

doi: 10.3969/j.issn.1005-9490.2023.01.004

带有自动归零技术的两级逐次逼近模拟数字转换器*

胡毅¹, 李振国¹, 侯佳力¹, 薛明艺², 胡伟波^{2*}

(1. 北京智芯微电子科技有限公司, 北京 100192; 2. 南开大学电子信息与光学工程学院, 天津 300071)

摘要: 提出和验证了一个两级高位模数转换器新架构。该架构用剩余电压放大器连接两级。与传统结构不同的是: 此剩余电压放大器使用了改进的新型自动归零技术, 并且在第二级中, 两个单端数模转换器代替一个差分模数转换器。第一级采样量化时, 剩余电压放大器短路, 将自身噪声失配电压放大, 并保存在其中一个单端数模转换器中。第一级量化完毕, 放大器将剩余电压和其噪声失配电压一起放大并保存在另一个单端数模转换器中。第二级量化时, 两个单端数模转换器上的失配电压及低频噪声会互相抵消。基于该技术, 利用 180 nm 工艺, 实现了 500 kHz 采样频率的 16 位数模转换器。在放大器输入等效噪声 (rms) 为 89 μV 情况下, 利用 560 μA 电流, 实现了 93.7 dB 的 SNDR。

关键词: 模数转换器; 逐次逼近型; 自动归零技术; 剩余电压放大器; 伪差分模数转换器

中图分类号: TN72

文献标识码: A

文章编号: 1005-9490(2023)01-0022-07

经过几十年发展和遴选, Sigma-Delta 架构、逐次逼近 (Successive Approximation Register, SAR) 架构、流水线架构、快闪式 (Flash) 架构是模数转换器最为普遍的架构。每种架构都有自身特点, 各有所长, 应用在不同领域。本文探索在应用实时性较强领域的高精度模数转换器。例如, 在电力监测调度应用场景中, 由于变频等技术广泛应用, 需要宽频率高精度转换器以得到实时精确用电监测效果。

Sigma-delta 架构和 SAR 架构比其他架构更适合高精度模数转换器。因为, Flash 架构比较器数量与位数之间有指数关系, 这导致 Flash 架构的高精

度转换器硬件成本太高。传统流水线架构每级产生 1~3 位数字输出, 级间剩余电压放大和传输需要高精度放大器。这些放大器为了满足精度要求会消耗较大功耗, 所以, 用流水线架构实现高精度模数转换器的效率不高。但是, 流水线技术作为一种增加信号吞吐量的加速技术, 一样可以应用在高精度模数转换器中提高转换速度和精度^[1-6]。

对于高精度模数转换器, SAR 架构比 Sigma-Delta 架构有更低功耗和更高能量效率。因为传统 Sigma-Delta 架构需要放大器以实现积分器, 这些放大器为满足精度要求必然消耗很大功耗。虽然近年

项目来源: 国家电网有限公司总部管理科技项目 (5100-201941436A-0-0-00)

收稿日期: 2022-11-16 修改日期: 2022-12-22

基于无源器件的电荷分享等技术可以实现积分效果,但是,很难实现很高精度^[7]。

同时,SAR 架构可以保证模拟输入信号和数字输出信号具有一一对应关系,而 Sigma-Delta 架构破坏了这种一一对应关系的。在 Sigma-Delta 架构中,一个数字输出往往包含了很多个模拟输入信号的信息。虽然近年出现的增量型(Incremental) Sigma-Delta 架构可以实现一段模拟输入和一个数字输出的对应,但是,这种新型架构速度往往比较低^[8]。虽然流水线严格意义上没有破坏输入输出一一对应的关系,但是,流水线会需要较大功耗。由于以上原因,Sigma-Delta 架构和流水线架构难以使用在有实时性和低功耗需求的应用中。

逐次逼近模数转换器具有低功耗、适用于低电压、适合小尺寸半导体制造工艺等特点。但是,传统逐次逼近模数转换器是依赖同一个数模转换器从最高位到最低位顺序依次产生。并且,每一位都要占用一个时钟周期。比如一个十位的逐次逼近型模数转换器就需要十个时钟周期完成转换。这个依次量化过程大大延缓了转换过程。这导致在相当一段时间里,逐次逼近型架构往往应用中低速中低精度转换器上。近年来,新技术发展使得逐次逼近型架构逐步应用在高速和高精度领域。比如,基于异步数字电路的逻辑控制技术^[9-10],时间交织的并行架构和时间校准技术,以及多级流水线技术。这些极大提高了信号吞吐量,提高了转换速度。

逐次逼近转换器精度受失配和噪声两大因素影响。在电容失配方面,最近出现各种校准技术、抖动(Dither)技术、动态元素匹配(Dynamic Element Matching, DEM)技术缓解了电容匹配所带来的问题。在比较器或者放大器失配方面,数字校准和一次性校准都在某种程度上缓解了失配电压问题,但是,不能解决失配电压随着条件变化和噪声带来的更细致精度问题。在噪声方面,来自于放大器、比较器、电容、基准电压等电路的噪声限制了电路的噪声特性。

本文针对放大器失配电压问题和噪声问题,创造性地使用自动归零技术,在二级逐步逼近架构中对第二级模数转换器做了结构创新,通过两次采样放大器失配噪声并且互相抵消的办法,减少了放大器失配噪声对整个转换器的影响,提高了精度,实现了一个 16 位的模数转换器。

1 16 位模数转换器架构

1.1 传统高精度模数转换器架构

传统逐次逼近架构包括采样开关、电容式数模

转换器、比较器和数字控制电路。如图 1 所示,如果没有冗余,16 位模数转换器需要电容权重为二进制的 16 位差分数模转换器(DAC)。当下,设计技术和制造工艺的进步可以制造出电容值为 1 fF 的单位电容。那么,最大单个电容值可以达到 32 pF。该电容会带来很多问题。比如,模数转换器输入电容太大导致难以被驱动;电容阵列上级板寄生电容远大于单位电容导致精度下降;最大电容和最小电容的巨大差距给电容校准也带来问题。

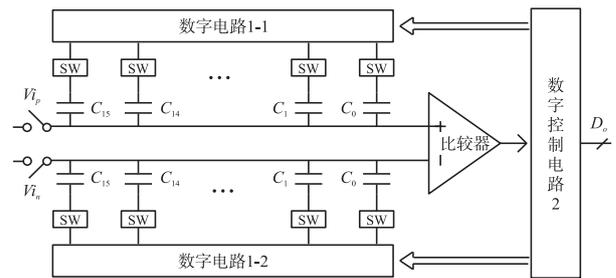


图 1 传统逐次逼近模数转换器结构示意图

一个避免使用巨大单个电容的方法是使用带有桥电容的电容阵列。图 2 所示为带有桥电容的逐次逼近式模数转换器结构,一个二进制权重的巨大电容阵列分为两个小电容阵列,两个电容阵列之间用桥电容相连。由于桥电容可以降低其中一个电容阵列的等效权重,这样不需要在所有电容绝对值之间保持二进制的等比关系,只需要在每个电容阵列内部保持二进制的等比关系,如此避免了使用单个超大电容。但是,这种带有桥电容的电容阵列精度受桥电容绝对值影响很大,并且,桥电容下级板寄生电容会影响电容阵列的精度。这些都给精度和电容校准算法带来很大挑战。所以,最近高精度逐次逼近模数转换器往往采用了两级架构^[11-15]。

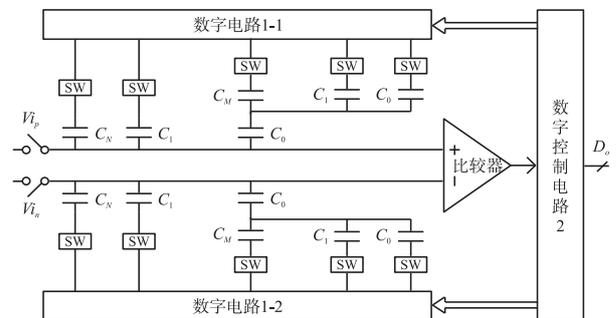


图 2 带有桥电容的逐次逼近转换器结构示意图

1.2 传统二级 16 位模数转换器架构

图 3 所示为传统二级 16 位模数转换器结构,二级结构包括两个数模转换器,两个数模转换器之间使用一个放大器连接。如果考虑两个数模转换器之间的精度均衡,16 位数模转换器可以分为两个 8 位

数模转换器。如果考虑两级工作时间均衡,便于实现两级的流水线操作,第一级可以比第二级实现较少的位数。因为第一级比第二级多了一个放大转移剩余电压的操作。

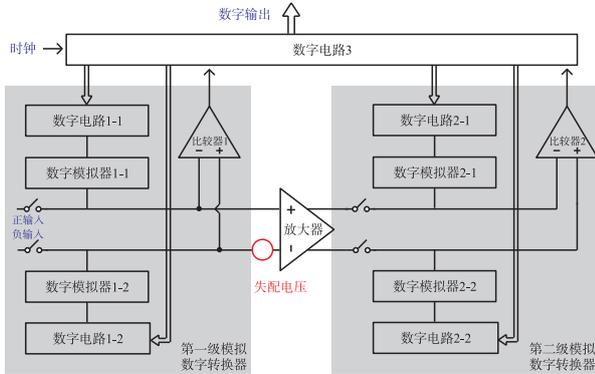


图 3 传统二级 16 位模数转换器结构示意图

在两级架构中,放大器决定着整个转换器精度和速度。在剩余电压放大转移过程中,放大器的输入等效噪声和失配电压直接叠加在第一级数模转换器上,与输入信号具有同样权重。为了保证放大器不影响转换器精度,放大器失配电压和噪声必须要远高于精度要求。像电容热噪声一样,放大器噪声也会叠加在转换器总噪声上。放大器失配电压影响比较复杂一点。如果放大器失配电压是固定的,则只会叠加在剩余电压上一起被放大,导致放大器输出电压增大,这只会带来整个转换器的直流失配。如果放大器失配电压不固定,而是随着输入信号温度等因素变化,则会导致谐波或者噪声产生。

2 自动归零技术及其在转换器创新应用

图 4 所示为带有自动归零技术的二级 16 位模数转换器,与传统二级模数转换器类似,此类高精度模拟数字转换器使用了二级模拟数字转换器。第一级模拟数字转换器通过采样开关连接正负端输入信号。第一级模数转换器量化后的剩余电压被放大器放大转移到第二级模数转换器。

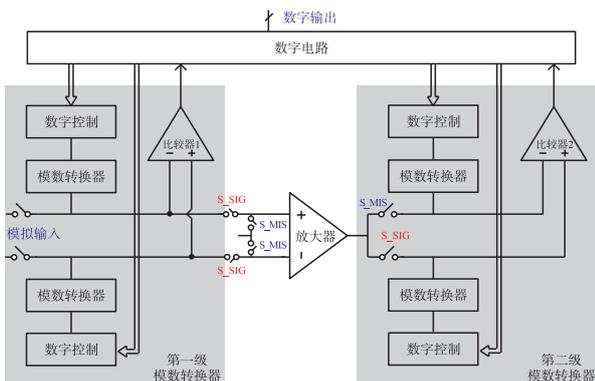


图 4 带有自动归零技术的二级 16 位模数转换器

2.1 改进型模数转换器结构

与传统二级模数转换器相比,改进型架构的主要区别在第二级模数转换器中。第一,第二级模数转换器中的数模转换器不是真正差分数模转换器,而是由两个单端数模转换器构成的伪差分数模转换器。因为这个数模转换器不是一次性接受一个差分信号,而是分两次接受两个单端信号。第二,放大器由双端输出改为单端输出。放大器后增加两个选择开关,用于选择将放大器的两次放大(第一次放大噪声失配电压,第二次放大剩余电压和噪声失配电压)电压输出至两个不同的单端数模转换器。在开关信号(S_MIS)为高的情况下,放大器输入端短路,自身失配噪声电压被放大之后,输出在数模转换器 21 上。在信号开关信号(S_SIG)为高的情况下,放大器输入端与第一级中的差分数模转换器接通,自身噪声电压和剩余电压被放大之后,输出在数模转换器 22 上。因为放大器噪声失配电压被放大转移两次,在理想情况下,数模转换器 21 和数模转换器 22 含有几乎等量失配电压和噪声,所以,在之后第二级量化过程中,两个数模转换器上放大器失配电压和噪声会互相抵消,从而不影响整个模数转换器的精度。

2.2 改进型模数转换器时序控制

如图 5 所示,为了配合两级模数转换器和放大器的工作,一个完整量化周期被分为了三个段时间。在第一段时间,第一级模数转换器采样和初步量化输入信号。放大器只是放大失配电压,并把放大的失配电压储存在数模转换器 21 上。此时,S_SIG = 0, S_MIS = 1, 第一级和放大器是分开隔离的;放大器输入短路,接到共模电压。放大器输出和第二级中数模转换器 21 连接。

在第二段时间,S_SIG = 1, S_MIS = 0, 第一级数模转换器和放大器输入端连接在一起;放大器输出和第二级的数模转换器 22 连接。此时,第一级模数转换器完成量化,并保持剩余电压。放大器不区分剩余电压和失配电压,把两者一起放大,并把结果储

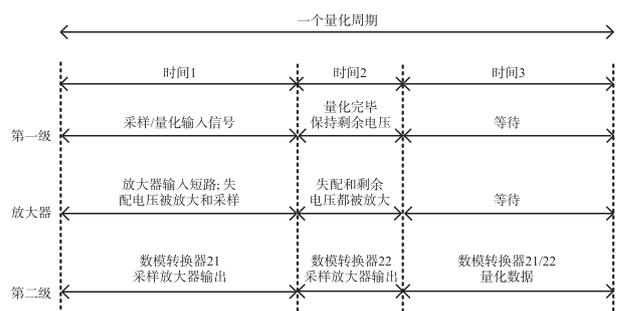


图 5 改进型模数转换器的时序控制图

存在第二级中数模转换器 22。

第三段时间里, $S_SIG = 0, S_MIS = 0$, 放大器和第二级的两个数模转换器分开。此时, 第二级模数转换器继续量化被放大的剩余电压。第一级和放大器处在无工作状态, 可以被休眠以节省功耗。如果这无工作状态被充分使用, 第一级和放大器可以继续处理下一个采样信号, 实现流水线技术。

3 关键电路模块设计

与传统逐次逼近型相比, 这个改进型转换器除了包括数模转换器、比较器、数字控制之外, 还包括一个关键模块, 放大器。本文中的电路创新专注在放大器和第二级模数转换器部分。

3.1 第一级中的数模转换器

第一级数模转换器采用上级板采样, 设计比较简单, 减小数字控制电路设计难度, 简化了采样开关设计, 减小了输入信号版图走线难度, 也减小了两个关键信号, 采样时钟信号和输入信号之间互相干扰的可能性。之前也有类似上级板采样设计实现了 16 位模数转换器^[15]。如图 6 所示, 差分信号对称输入到一个差分模数转换器的采样开关, 该采样开关由开关信号 (S_SAM) 控制。除了最小单位电容 (C_0) 下级板一直偏置在参考电压 ($VREFP$) 上以外, 其他电容 ($C_1 \dots C_{M-2}, C_{M-1}$) 下级板都接了一组开关 (SW)。这组开关在三组控制信号 (S_LO, S_HI, S_SAM) 作用下, 将下级板分别接到正参考电压 ($VREFP$)、负参考电压 ($VREFN$) 和共模电压 (VDC)。这个额外共模电压一方面简化了数字控

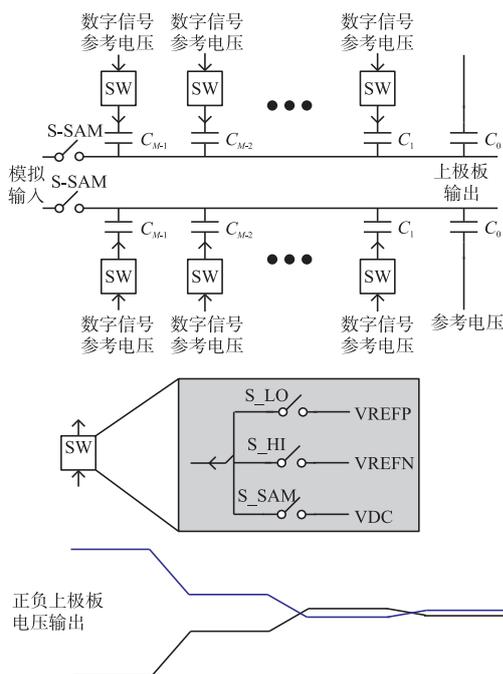


图 6 第一级中数模转换器示意图

制电路, 还易于控制数模转换器的输入共模电压与输出共模电压的变化。同时, 因为上下电容阵列都以相同方式接到这个共模电压, 这个共模电压不会影响整个转换器的精度。

数模转换器的开关翻转策略可以简单使用传统方式, 以保持共模不变, 且控制比较方便。为了实现一定程度冗余, 所有数模转换器并没有使用传统二进制电容阵列, 而是使用了拆分最大电容的方法。除此之外, 数模转换器还使用了校准技术, 重新计算第一级数模转换器的权重。同时, 第一级还采用了 Dither 技术把谐波打散, 以增加一定量噪声为代价, 减小最大谐波和增加 SFDR。

3.2 第二级中的数模转换器

如图 7 所示, 与第一级中数模转换器类似, 第二级数模转换器也包括两个电容阵列, 利用上级板采样, 其下级板控制开关含有三个开关。两者工作模式和控制有很大不同。第一, 在采样阶段, 第二级数模转换器的两个电容阵列作为两个单端电容阵列使用, 在开关信号 S_MIS 和 S_SIG 控制下, 先后分别采样放大器输出。在量化阶段, 这两个单端电容阵列组成一个电容型差分模数转换器以除去寄生电容影响和提高量化精度。第二, 第二级数模转换器使用了单调翻转策略。一方面这种策略控制简单, 符合这种非差分输入信号的量化; 另一方面这种翻转策略可能带来的量化误差在等效到整个模数转换器过程时, 会除以放大器增益, 其等效误差很小。

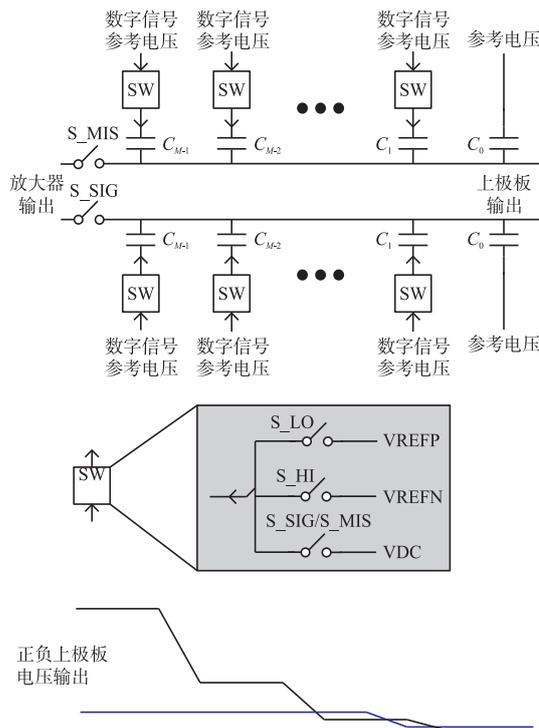


图 7 第二级中数模转换器示意图

3.3 级联放大器

放大器自动归零动作和第一级模数转换器量化动作同时发生,所以,不能使用模数转换器中的采样电容实现电容式反馈放大器来将剩余电压放大。如图 8 所示,本设计采用了带有前置单位增益缓冲器的电阻反馈放大器来放大剩余电压。为了配合第二级的伪分数模转换器工作,这个电阻反馈放大器具有双端输入和单端输出;其前置单位增益缓冲器使用了简单源极跟随器来实现。放大器 (Amplifier, AMP) 使用高增益的二级放大器,第一级提供了大部分增益,并生成了第一个主极点,第二级提供增益较小,主要起驱动反馈电阻的作用。这些放大器和缓冲器电路使用了传统电路,又不属于转换器核心部分,由于篇幅限制,不在这里赘述。

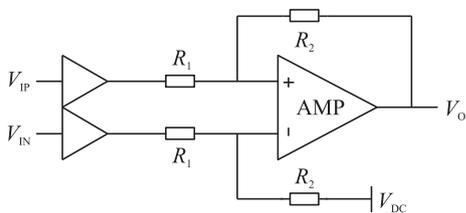


图 8 级联放大器架构

4 版图设计和结果分析

本设计利用了 180 nm CMOS 工艺实现。在这个工艺中,电源电压为 3.3 V,参考电压为 2.5 V,差分输入信号的峰峰值是 5 V。如图 9 所示,版图核心所占面积是 $480 \mu\text{m} \times 2\,000 \mu\text{m}$ 。长条形版图布局是为了实现多个信号通道时,方便并行排列,减小多个信号通道的版图面积,简化多通道输入输出信号的走线。

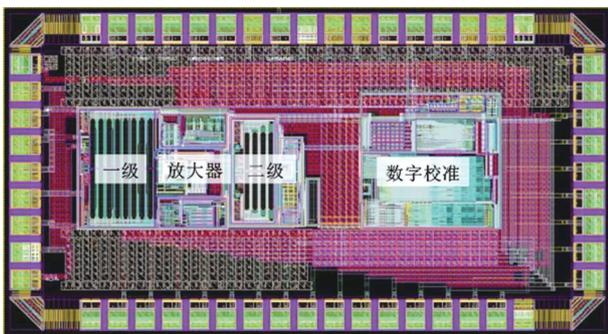


图 9 自动归零技术的二级转换器版图

图 10 所示为输入信号量化后的频谱图,横坐标为频率 (Frequency),纵坐标为幅度 (Amplitude),验证自动归零技术有效性以及对转换器整体精度影响,仿真对比了打开和关闭自动归零技术的两种情况。所作仿真是瞬态仿真,只打开或者关闭放大器

的瞬态噪声。并且,将蒙特卡洛 (Monte-Carlo) 仿真中得到的失配电压加在放大器输入端以近似实际放大器实际失配情况,所有数模转换器中的电容阵列失配标准差 (Sigma) 为 1%。在单独针对放大器的噪声仿真中,输入信号频率是 241 kHz,采样频率是 500 kHz。从图可以看出:在关闭自动归零技术情况下,信噪失真比 (Signal-to-Noise-Distortion-Ratio, SNDR) 是 92.0 dB;在打开自动归零技术情况下,SNDR 提升到 93.7 dB。比较可以看出,这个技术不仅解决了放大器失配电压问题,还将 SNDR 提升 1.7 dB。

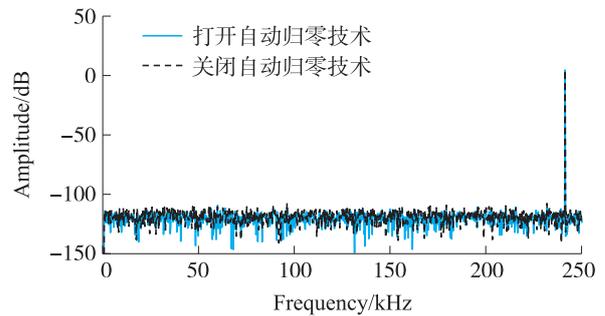
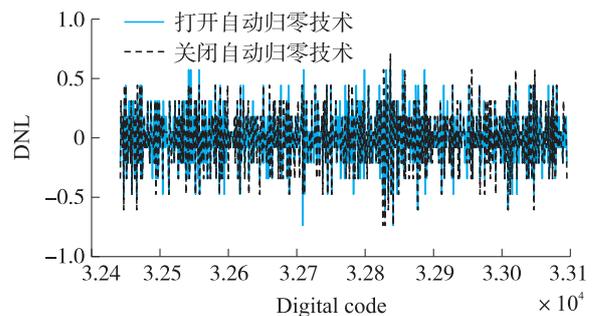
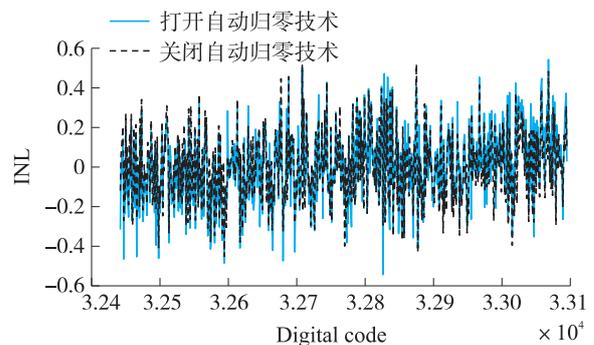


图 10 输入信号量化后的频谱图

同时,在类似仿真设置中对转换器做了静态测试,如图 11 所示,用来比较这个技术创新对差分非线性 (DNL) 和积分非线性 (INL) 的影响。由于仿真速度比较慢,只仿真了 5 000 个点。为了保证每个量化台阶有足够点数,输入信号范围限制为



(a) DNL



(b) INL

图 11 部分数字码的静态仿真结果

$[-0.025, 0.025]$, 共有 665 个量化台阶。而且, 这个量化范围包括了 0 点, 这是逐次逼近转换器中最大值静态误差可能发生的位置。从图 11 可以看出, 这个技术对转换器静态误差影响不大, 在两种情况下, DNL 在 $[-0.74, 0.71]$ LSB 范围内, INL 在 $[-0.55, 0.55]$ LSB 范围内。

5 结论和展望

本文创造性地将自动归零技术应用在二级逐次逼近转换器架构中。本设计将放大器失配电压和低频噪声进行两次放大, 将放大结果储存在第二级中的伪差分数模转换器中, 并在第二级量化过程中互相抵消。如此减少放大器失配电压和噪声对转换器的负面影响, 提升电路设计的鲁棒性。在没有明显增加硬件和功耗成本情况下, 增加了模数转换器精度。

因为针对低速信号采集的应用场景, 整体设计中的两级模数转换器并没有同时量化。但是, 这种两级结构为流水线运行奠定了架构基础。接下来设计将继续探索这个带有自动归零技术的二级架构在高速方面应用, 结合流水线技术提高量化信号速度。

6 致谢

本文章受国家电网有限公司总部管理科技项目资助: 5100-201941436A-0-0-00。

参考文献:

- [1] Bob V, Masao I, Jan C. A 1.7 mW 11b 250 MS/s 2×Interleaved Fully Dynamic Pipelined SAR ADC in 40 nm Digital CMOS [C]//2012 IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, 2012:466-468.
- [2] Bob V, Masao I, Manuel G S, et al. A 2.1 mW 11b 410 MS/s Dynamic Pipelined SAR ADC with Background Calibration in 28 nm Digital CMOS [C]//2013 Symposium on VLSI Circuits, Kyoto, Japan, 2013:268-269.
- [3] Yuan C L. A 14.6 mW 12b 800 MS/s 4×Time-Interleaved Pipelined SAR ADC Achieving 60.8 dB SNDR with Nyquist Input and Sampling Timing Skew of 60 fsrms without Calibration [C]//2016 IEEE Symposium on VLSI Circuits (VSI-Circuits), Honolulu, HI, USA, 2016:1-2.
- [4] Lukas K, Danny L, Christian M, et al. A 10b 1.5 GS/s Pipelined-SAR ADC with Background Second-Stage Common-Mode Regulation and Offset Calibration in 14 nm CMOS FinFET [C]//2017 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2017:474-476.
- [5] Zhu Y, Chan C H, Seng P U, et al. A 10-bit 500-MS/s Partial-Interleaving Pipelined SAR ADC with Offset and Reference Mismatch Calibrations [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25 (1):354-363.
- [6] Huang H, Xu H D, Brain E, et al. A Non-Interleaved 12-b 330-MS/s Pipelined-SAR ADC with PVT-Stabilized Dynamic Amplifier Achieving Sub-1-dB SNDR Variation [J]. IEEE Journal of Solid-State Circuits, 2017, 52(12):3235-3247.
- [7] Zhuang H, Guo W, Liu J, et al. A Second-Order Noise-Shaping SAR ADC With Passive Integrator and Tri-Level Voting [J]. IEEE Journal of Solid-State Circuits, 2019, 54 (6):1636-1647.
- [8] Souri K, Chae Y, Kofi A A M. A CMOS Temperature Sensor with a Voltage-Calibrated Inaccuracy of ± 0.15 C (3σ) from -55 °C to 125 °C [J]. IEEE Journal of Solid-State Circuits, 2013, 48(1):292-301.
- [9] Chen S M, Robert W B. A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13- μ m CMOS [J]. IEEE Journal of Solid-State Circuits, 2006, 41(12):2669-2680.
- [10] John M, Michael C, Brian L. A Split-ADC Architecture for Deterministic Digital Background Calibration of a 16b 1 MS/s ADC [C]//2005 Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2005:276-298.
- [11] Hurrell C P, Lyden C, David L, et al. An 18 b 12.5 MS/s ADC with 93 dB SNR [J]. IEEE Journal of Solid-State Circuits, 2010, 45(12):2647-2654.
- [12] Choi S, Ku H S, Son H, et al. An 84.6-dB-SNDR and 98.2-dB-SFDR Residue-Integrated SAR ADC for Low-Power Sensor Applications [J]. IEEE Journal of Solid-State Circuits, 2018, 53(2):404-417.
- [13] Chung Y H, Tien C H, Zeng Q F. A 102 dB-SFDR 16-bit Calibration-Free SAR ADC in 180-nm CMOS [C]//2019 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Bangkok, Thailand, 2019:1-2.
- [14] Shen J, Shikata A, Liu A, et al. A 12-Bit 31.1- μ W 1-MS/s SAR ADC with On-Chip Input-Signal-Independent Calibration Achieving 100.4-dB SFDR Using 256-fF Sampling Capacitance [J]. IEEE Journal of Solid-State Circuits, 2019, 54(4):937-947.
- [15] ElShater A, Parveen K V, Lee C Y, et al. A 10-mW 16-b 15-MS/s Two-Step SAR ADC with 95-dB DR Using Dual-Deadzone Ring Amplifier [J]. IEEE Journal of Solid-State Circuits, 2019, 54(12):3410-3420.



胡 毅(1982—),男,硕士,高级工程师。从事集成电路中模拟、射频电路的设计和开发工作。在集成电路设计方向发表论文近 20 篇,在审或已授权专利 30 余项,huyi1@sgitg.sgcc.com.cn;



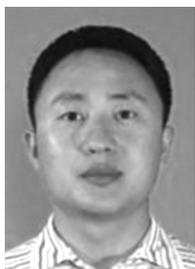
李振国(1979—),男,硕士,工程师。从事无线局域网芯片、数据转换器芯片、数字电视射频前端、音频编解码电路等研发工作。在模拟集成电路设计方向发表论文 4 篇,在审或已授权专利 10 余项,lizhenguol@sgitg.sgcc.com.cn;



侯佳力(1989—),男,硕士,工程师。从事模拟电路设计工作,houjiali@sgitg.sgcc.com.cn;



薛明艺(1999—),女,硕士研究生,主要研究方向:数模混合电路与系统,mingyixue@hotmail.com;



胡伟波(1982—),男,博士。在哈工大、北大和美国德州理工大学获得本科、硕士和博士。在美国高通公司工作期间,作为主要研发人员设计音频和高精度转换器芯片,累计总销量过亿颗。2017 年离开工业界回到学术界,在南开大学组建集成电路和系统课题组。在芯片设计和智能系统方面发表了近 40 篇文章,在审或已授权中外专利 20 多项,兼职多个公司的技术顾问,weibohu1982@126.com。