

## Design and Implementation of Frequency Adaptive Undersampling Circuit Based on FPGA

PEI Yonghao<sup>1,2</sup>, SU Shujing<sup>1,2\*</sup>

(1. National Key Laboratory for the Electronic Measurement Technology, North University of China, Taiyuan Shanxi 030051, China;  
2. Key Laboratory of Instrumentation Science and Dynamic Measurement of Ministry of Education, North University of China, Taiyuan Shanxi 030051, China)

**Abstract:** In order to solve the problem of dynamic change of sampling clock in A/D unit of digital PLL front-end, a frequency adaptive undersampling circuit based on FPGA is designed by using the characteristics of 16 bit ADC device AD7626, and an undersampling timing control strategy of adaptive frequency is proposed to solve the problem of data acquisition under dynamic sampling frequency. The experimental results show that the frequency of the collected signal is consistent with the theory, and the designed sampling circuit has the characteristics of frequency self-adaptive.

**Key words:** under sampling; Nyquist's law; frequency adaptive; timing control; FPGA

EEACC: 1265H; 1280

doi: 10.3969/j.issn.1005-9490.2021.01.016

## 一种频率自适应欠采样电路的设计及 FPGA 实现

裴永浩<sup>1,2</sup>, 苏淑靖<sup>1,2\*</sup>

(1. 中北大学电子测试技术重点实验室, 山西 太原 030051; 2. 中北大学仪器科学与动态测试教育部重点实验室, 山西 太原 030051)

**摘要:** 针对数字式锁相环前端 A/D 单元中, 采样时钟在锁相环锁定前存在动态变化的问题, 利用 16 位 ADC 器件 AD7626 的特点设计了一种基于 FPGA 的频率自适应欠采样电路, 提出了频率自适应的时序控制策略, 解决了 FPGA 时序控制驱动程序对输入采样信号频率变化的自适应问题。动态欠采样频率下对时基信号进行采样的实验测试结果表明, 采集信号频率与理论一致, 设计采样电路具有频率自适应特性。

**关键词:** 欠采样; 奈奎斯特定律; 频率自适应; 时序控制; FPGA

中图分类号: TN79+2

文献标识码: A

文章编号: 1005-9490(2021)01-0081-05

欠采样多用于对高于奈奎斯特频率的信号进行数据采集的应用。根据奈奎斯特-香农采样定理, 在使用带通滤波器限制数据采集系统带宽, 并且在已知数据采集系统的奈奎斯特频率和目标信号带宽的前提下, 可以对此种特殊情况下的目标信号进行重构, 而不会造成信息损失。对于主要关注目标信号相位和幅值的相关应用, 逐次逼近寄存器 (Successive Approximation Register, SAR) 型 ADC 采样系统可配置为欠采样来实现系统性能目标。

在应用于高精度时基校准器的数字式锁相环结构中, 锁相环参考时钟输入由欠采样下对时基信号的量化结果输出提供, ADC 采样时钟由锁相环输出提供, 因此面临锁相环锁定前采样时钟的动态变化问题。为解决信号采集系统欠采样频率动态变化的问题, 设计提出一种能够自适应动态采样频率的欠

采样数据采集系统, 通过 FPGA 对 ADC 芯片进行精确时序控制, 可实现对时基信号的自适应频率采样, 有效保证了锁相环稳定的参考时钟输入。

### 1 对时基信号的欠采样

在数字锁相环中, 被采时基信号源为恒温晶体振荡 (OCXO), 输出波形为 10 MHz 正弦波, 频率稳定性为  $\pm 1.00$  ppb ( $1 \text{ ppb} = 10^{-9}$ ), 负载为  $50 \Omega$  情况下, 温度变化速度小于  $2 \text{ }^\circ\text{C}/\text{min}$ , 可为时基校准系统提供稳定精准的时基信号输入。时基信号的输出被欠采样保持电路欠采样, 然后通过 ADC 量化到数字域。

根据奈奎斯特采样定理, 对于频率为  $f_0$  的周期性信号, 采样频率需满足  $f_s > 2f_0$ 。然而在欠采样条件下,  $f_s < 2f_0$ , 采样频率与通带发生的混叠使得采样数

据中被叠加进入多种频率的谐波成分,此时采集产生信号的频率即为混叠频率。通过计算混叠频率 $f_{out}$ 可确定欠采样后采集信号的时域状态,根据混叠机理及混叠频率计算公式,确定欠采样后输出信号频率为:

$$f_{out} = |N \cdot f_s - f_0| \quad (1)$$

式中: $N = \text{Int}(f_0/f_s + 0.5)$ ,  $\text{Int}()$  为取整操作,  $f_s$  采样频率;  $f_0$  为被采信号频率;  $f_{out}$  为欠采样输出信号频率。

## 2 信号采集硬件电路设计

### 2.1 总体设计结构

采样系统的总体结构主要由 FPGA 控制单元、A/D 转换单元、电源、高速差分放大电路及 OCXO 时基源构成,如图 1 所示。高速差分放大电路将 10 MHz 标准信号转换至差分输出, FPGA 产生时序控制信号  $\text{CLK}_{\pm}$ , AD7626 接收时序控制信号后,产生回波时钟  $\text{DCO}_{\pm}$ , FPGA 根据回波时钟依次读取 ADC 返回的串行数据  $\text{D}_{\pm}$ 。FPGA 采用 Xilinx 公司的 AIRTIX-7 系列 XC7A100T 芯片,适合高速数据通信和高速数据采集等应用,可以很好地满足欠采样时序控制需求。

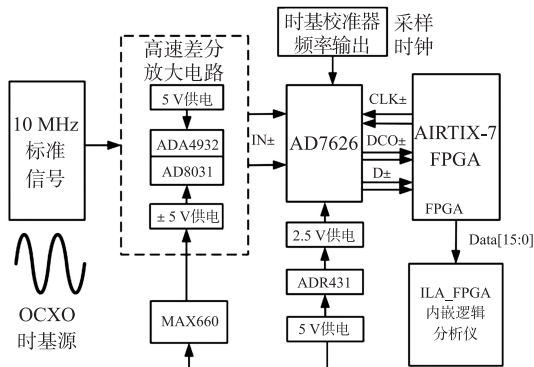


图 1 系统设计方案框图

### 2.2 单端转差分信号驱动电路设计

设计所使用的单端转差分放大电路如图 2 所示。使用差分运放驱动 ADC,信号源之后配置的带通滤波器以抑制谐波。信号源的特性阻抗为  $50 \Omega$ ,通过带通滤波器交流耦合到 ADA4932,将信号源施加于 ADA4932-1 的正输入时,要求信号源也以  $50 \Omega$  正确端接。选中端接电阻  $R_2$ ,以使  $R_2$  与 ADA4932 输入阻

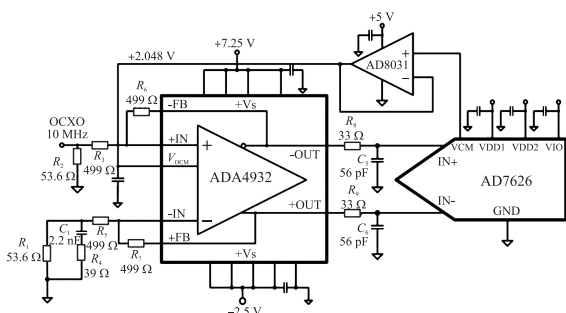


图 2 ADA4932 驱动 AD7626 电路

抗的并联组合等于  $50 \Omega$ 。ADA4932 输入阻抗  $R_{IN}$  计算公式如下:

$$R_{IN} = \frac{R_C}{1 - \frac{R_C}{2 \times (R_C + R_F)}} \quad (2)$$

式中: $R_C = R_3 = R_5$ ,  $R_F = R_6 = R_7$ 。该差分驱动电路的配置增益为 1,但基于  $50 \Omega$  信号源和 ADA4932 输入端匹配的端阻抗的作用,相对于戴维南等效信号源电压,通道的净总增益约为 0.5。

通过配置为单位增益缓冲器的运放 AD8031 来缓冲 AD7626 的 VCM 输出电压,完成输出共模电压的设定。在电路中,对应于  $4.096 \text{ V}$  的内部基准电压,AD7626 的输出共模电压为  $2.048 \text{ V}$ ,输入 ( $\text{IN}+$ ,  $\text{IN}-$ ) 在  $0$  和  $4.096 \text{ V}$  之间摆幅,发生  $180^\circ$  反相。

### 2.3 A/D 转换电路设计

被采时基信号频率为  $10 \text{ MHz}$ ,数字锁相环前端需要以  $6 \text{ MHz} \sim 10 \text{ MHz}$  的动态变化采样频率对时基信号进行欠采样。本文选用 Analog Devices 公司的 AD7626 作为模数转换芯片,AD7626 有着  $10 \text{ MHz}$  的采样率、16 位数字信号输出和精准的内部参考电压,能够满足系统对采样率及分辨率的要求。AD7626 的典型配置连接电路如图 3 所示,AD7626 所接收的  $2.5\text{-LVDS}$  格式 CNV 信号,由外部采样时钟驱动,配置可选择采用内部  $4.096 \text{ V}$  基准电压,差分信号 CNV、D、DCO 和 CLK 为 ADC 与 FPGA 之间的时序交互及数据输入输出端口。

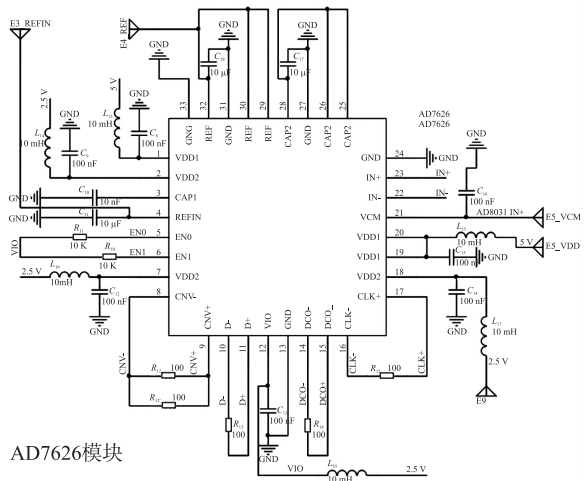


图 3 AD7626 典型连接电路原理图

## 3 欠采样时序控制的 FPGA 实现

### 3.1 FPGA 程序设计

ADC 的模数转换由 CNV 信号控制,在其上升沿启动转换。上电后产生的第一个转换结果为无效数据,随后转换结果有效。回波时钟接口模式下时序配

置图如图 4 所示,AD7626 与 FPGA 之间有三个 LVDS 引脚,其中时钟 DCO 与数据时钟 D 同步,锁存数据信号 D 在 DCO 的上升沿更新。FPGA 应在 DCO 的上升

沿捕捉数据 D,且须在下一转换阶段的  $t_{CLKL}$  时间内产生 16 个 CLK 脉冲。从  $t_{CLKL}$  至  $t_{MSB}$  时间,信号 D 和 DCO 置 0,且 CLK 脉冲沿之间为空闲低电平状态。

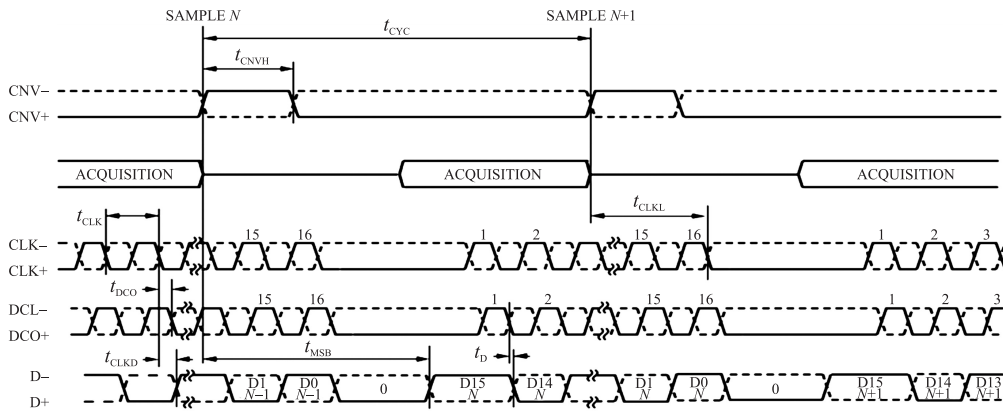


图 4 回波时钟模式下接口时序图

和同步时序逻辑设计方法相比,异步时序逻辑中,标志信号 flag\_2 在敏感信号 CNV 的驱动下产生,而 CLK 在系统时钟倍频信号(500 MHz)下驱动产生,因而此方法属于典型的异步时序逻辑,所使用 FPGA 芯片在异步逻辑环境下,时钟最高运行至 600 MHz,但在综合并布局布线之后,时序急剧恶化,建立时间裕量严重不足,时序仿真结果也表明,CLK 时钟沿出现丢失或添加,时序状态也出现极大的紊乱,严重与 ADC 时序要求不符,故需采用同步时序设计方式。不论是同步时序逻辑的设计思想还是异步逻辑的设计方式,中心目的都是为了识别出转换驱动信号 CNV 的上升沿,以适应 CNV 信号频率的变化。同步时序逻辑下 CLK 时钟控制产生的程序流程图如图 5 所示。

### 3.2 时序逻辑设计

设计主要由 iobufgds 缓冲单元、PLL 倍频/分频单元、Moudle\_ADC 时序控制单元组成,如图 6 所示。其中 iobufgds 和 obufgds 单元分别将输入及输出进行差分至单端和单端至差分转换;PLL IP 核将系统时钟倍频至设计所需频率的时钟;时序主控模块在 CNV 和系统时钟的驱动下进行时序配合和串行数据读取。

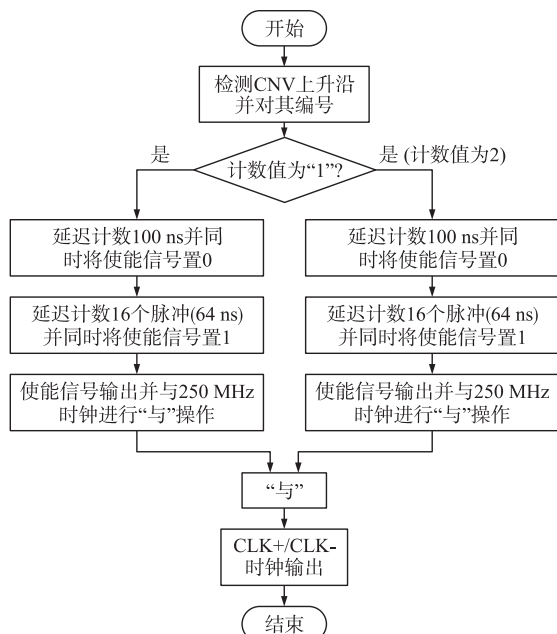


图 5 CLK±时钟产生控制流程图

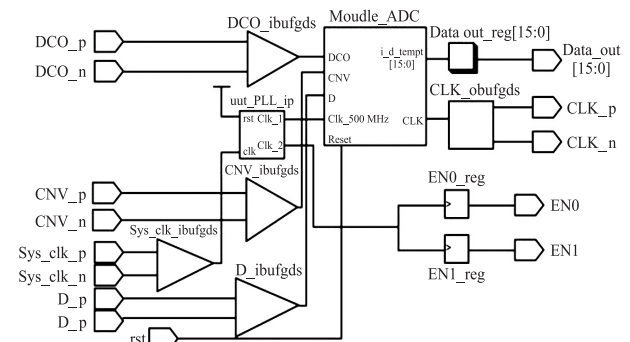


图 6 采样时序控制 FPGA 数字逻辑设计图

巧妙地利用 FPGA 在进行寄存器值赋值过程中的时间差,将 CNV 进行两次赋值操作:  $flag\_1 \leq CNV$ ;  $flag\_2 \leq flag\_1$ ;  $flag \leq flag\_1 \& (\sim flag\_2)$ 。取 flag\_2 信号的反信号与 flag\_1 信号做“与”,以得到 CNV 识别状态信号 flag(如图 7 所示的脉冲沿)。

根据 AD7626 芯片的工作要求:CNV 至 D(MSB)就绪时间  $t_{MSB}$  最大值为 100 ns。因此当  $t_{MSB}$  小于 100 ns 时,可能存在 ADC 输出数据未完全就绪的情况。 $f_{CNV}$  为 9 MHz,设置  $t_{MSB}$  的时间为 33 ns,FPGA 采集回数据有误,DCO 返回波形为 CLK 的包络;若硬性设置  $t_{MSB}$  的时间为 100 ns,则 CNV 的一个周期内无法覆盖,中间会跳过一个上升沿(16 时钟沿必须持续输出

完毕才能启动下一次识别),不符合时序要求;设置  $f_{CNV}$  为 5 MHz,此时设置就绪时间为 105 ns,在线逻辑 (ILA)分析显示返回的 DCO 可见清晰的 16 个时钟沿,但采集的 16 位二进制数结果存在较大量化误差。 $f_{CLK}$  的典型值为 250 MHz,则 16 个时钟沿所需消耗的时间至少为 64 ns,加之至少 100 ns 的就绪时间  $t_{MSB}$ ,大大超过了转换信号 CNV 的周期 111 ns,因此必然会在 ADC 手册时序图中所呈现的时序状态,而无法做到如 5 MHz 采样率时的一个 CNV 周期覆盖 16

个 CLK 时钟沿的情况。

有效做法是两路做交替采样后,再进行数据拼接。对 CNV 转换信号进行计数并标号,当标号为“1”时进行第一路采集转换,当标号为“2”时进行第二路采集转换,如图 8 所示,信号“e”为计数标志。每当相应的计数标志来临,在选通信号“CLK\_flag”下进行该通道的时钟信号输出,与此同时,启动更高速度敏感信号(500 MHz)下的进程,将两路产生的 CLK 信号进行拼接,由此产生满足 ADC 时序要求的 CLK 信号。

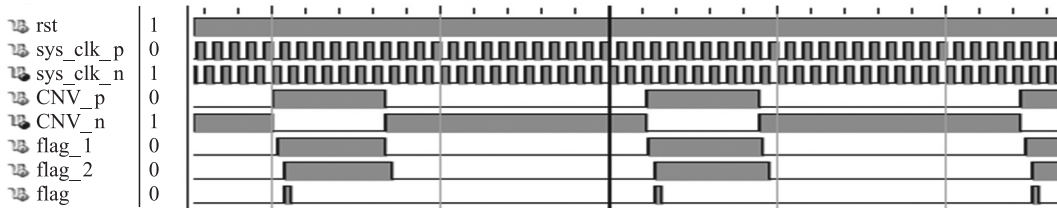


图 7 同步时序逻辑标志信号产生状态图

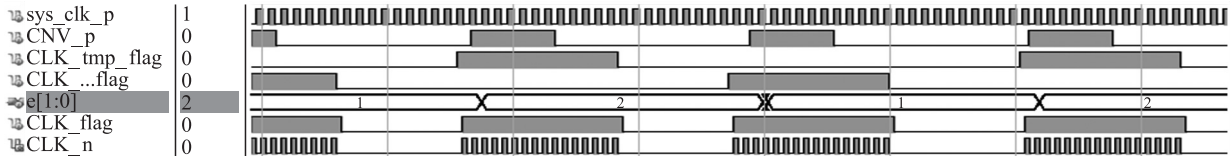


图 8 同步时序逻辑 CLK 信号产生状态图

### 4 高速差分运放与 A/D 结果测试分析

#### 4.1 时基源与差分运放单元输出测试

被采信号源恒温晶体振荡器(OCXO)在 3.3 V 供电电压下,有高稳的 10 MHz 正弦信号输出,如图 9 所示。单端转差分模块输出测试结果如图 10 所示,转换输出信号成 180°反相。由于单端转差分模块差分放大实际增益配置约为 0.43,故差分输出信号测量幅值为 700 mV,共模电压 2.04 V,均在 AD7626 允许输出范围。

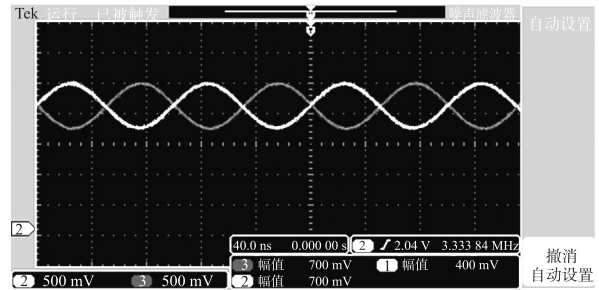


图 10 单端至差分高速转换模块输出

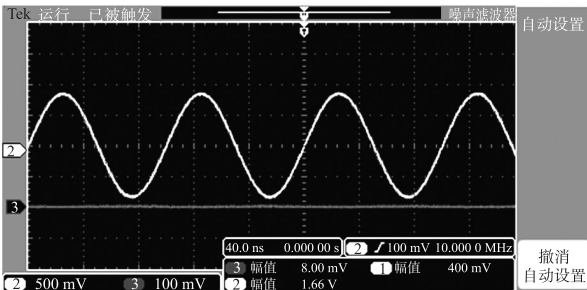


图 9 OCXO 时钟源 10 MHz 正弦信号输出 (a)

#### 4.2 自适应频率欠采样输出结果测试

对波形数据的采集结果,可采用 FPGA 内嵌逻辑分析仪 ILA,在工程中添加相应的测试 Probes,对 16 位数据(串行/并行)输出、AD7626 的回波时钟及串并转换使能信号 enable\_test 进行测试。如图 11 所

示,Waveform-hw\_ila 窗口中显示,DCO 时钟频率 250 MHz,每隔 16 个时钟沿有固定时间的低电平,D 为串行数据输出,在 DCO 时钟的驱动下对串行数据 D 进行读取并经串并转换后得到输出数据 data\_out[15:0],可对数据进行模拟化显示,如图 12 得到时域平滑的正弦波形。为进一步分析输出数据,将 ILA 数据导出.csv 文件,通过 MATLAB 对该文件进行读取并 Plot,如图 12 所示。由于采样率较低,在原始信号时域内,一个周期内只能采集一个数据,可以看出波形周期为 1  $\mu$ s(1 MHz),在一个周期内的采样点数为 9 点,符合欠采样理论。锁相环频率输出由码型信号发生器 81131A 代替,改变转换驱动信号 CNV 的频率(采样频率),对采集波形进行抓取。在不同采样率下对波形周期进行测量,汇总结果如表 1 所示,其周期值较理论值在容许误差范围内。

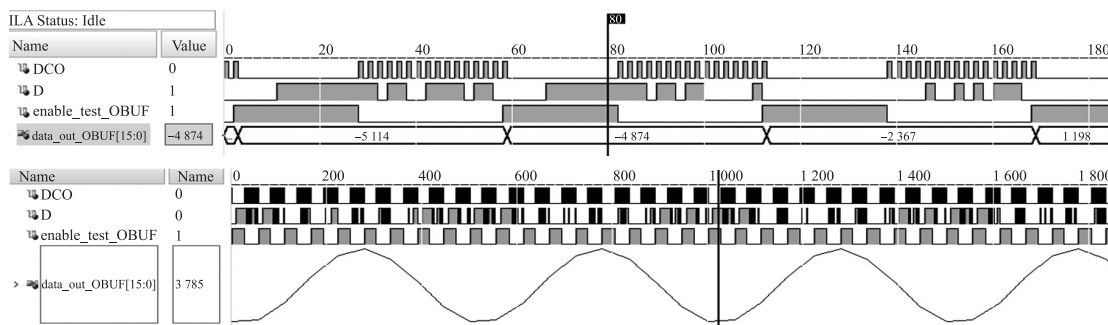


图 11 FPGA 内嵌逻辑分析仪 (ILA) 对采集信号的抓取结果 (采样率 9 MHz)

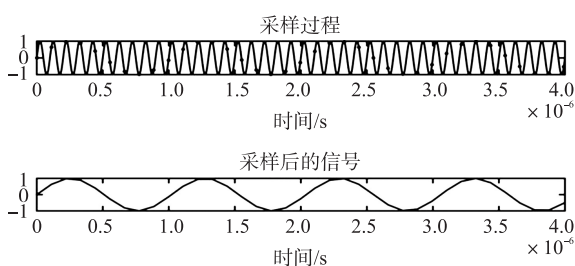


图 12 欠采样过程的 Plot 结果 (采样率 9 MHz)

表 1 自适应采样率下采集输出测试表

采样次数	欠采样频率/MHz	采集信号周期测试值/ns	采集信号频率理论值/MHz
1	6.00	498	2.00
2	6.50	334	3.00
3	7.50	400	2.50
4	8.00	501	2.00
5	8.50	664	1.50
6	8.98	980	1.02
7	9.00	1001	1.00
8	9.02	1022	0.98
9	9.80	5001	0.20

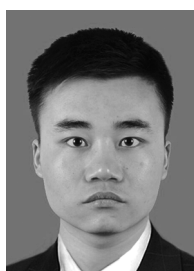
## 5 总结

本文利用 FPGA 对 AD7626 进行时序控制, 根据 AD7626 所接收的频率变化的转换驱动信号 CNV, 对输入信号进行自适应采样频率的数据采集, 通过 FPGA 内嵌逻辑分析仪对采集数据进行频率分析, 切合了理论结果。设计充分利用了欠采样技术的特点, 能够动态适应采样频率的变化, 在有效获取高稳时基源信号信息的同时, 降低了信号采集系统的

带宽要求, 能够满足高精度时基校准器的要求, 具有一定的工程应用价值。

### 参考文献:

- [1] 张公民. 欠采样技术在高频数据采集中的应用与研究[J]. 微计算机信息, 2008(16): 83, 103-104.
- [2] 罗正刚, 彭圆, 李桂娟, 等. 理想低通欠采样定理的结合应用分析[J]. 电讯技术, 2008(8): 69-72.
- [3] 谢先明, 邹新杰, 姚远程. 基于软件无线电的欠采样技术研究[J]. 电声技术, 2005(1): 55-58.
- [4] 王玉兰, 刘娅, 李孝辉. 基于欠采样的频率测量方法[J]. 电子测量与仪器学报, 2010, 24(1): 45-49.
- [5] Anand R, Thittai Arun K. Strategic Under-Sampling and Recovery Using Compressed Sensing for Enhancing Ultrasound Image Quality. [J]. IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, 2019, 67(3): 547-556.
- [6] Yuan Zhihui, Gu Yice, Xing Xuemin, et al. Phase Difference Measurement of Under-Sampled Sinusoidal Signals for InSAR System Phase Error Calibration [J]. Sensors (Basel, Switzerland), 2019, 19(23): 5328.
- [7] 王婷. 用于 MWC 欠采样系统的伪随机序列发生器研制 [D]. 哈尔滨: 哈尔滨工业大学, 2016.
- [8] 范坤. 基于双速率欠采样的宽带数字信道化接收机设计及其 FPGA 实现 [D]. 西安: 西安电子科技大学, 2014.
- [9] 孙子昂, 黄汉生, 邹芳, 等. 自适应采样算法在输电线路无源干扰拟合计算中的应用 [J]. 通信电源技术, 2017, 34(4): 90-92.
- [10] 石勇, 陈宝, 蒲永材. 基于 FPGA 的自适应信号采集系统 [J]. 兵工自动化, 2020, 39(4): 16-20.
- [11] 陈梁栋, 李梦瑶, 刘昕卓. 欠采样条件下基于 DCS 的 LFM 信号带宽估计方法 [J/OL]. 太赫兹科学与电子信息学报: 1-6 [2020-04-21]. <http://kns.cnki.net/kcms/detail/51.1746.TN.20200227.1709.004.html>.
- [12] 宋安, 王琴, 谷大武, 等. 基于 FPGA 的时钟同步功耗信息的采集方法 [J/OL]. 计算机工程: 1-8 [2020-04-21]. <https://doi.org/10.19678/j.issn.1000-3428.0054936>.



裴永浩 (1995—), 男, 汉族, 河南洛阳人, 硕士研究生, 主要研究方向为电路与系统, 信号处理, 2327175187@qq.com;



苏淑靖 (1971—), 女, 汉族, 山西吕梁人, 教授, 主要研究方向为感知与探测, 信号处理, 2802038768@qq.com。