

## Ultra Low-Power Bootstrap Sampling Switch for Bioelectrical Signal Extraction \*

LI Na, DUAN Wenjuan, ZHANG Weizhe, LIU Xinfang, MENG Qingduan, LIU Bo \*

(Electrical Engineering College, Henan University of Science and Technology, Luoyang He'nan 471023, China)

**Abstract:** In order to effectively extract low-frequency, low-amplitude and easily interfered human bioelectric signals, an analog-digital converter(ADC) in wearable and implantable medical ASIC electrodes should be built-in with a low-power and high-output-linearity gate-voltage bootstrap sampling switch, whose performance directly affects the integrity and extraction accuracy of the intrinsic signals on the biological interface. This study proposes a bootstrap sampling switch designed on 65 nm/0.6 V CMOS process. The sampling accuracy is improved by adding a “dummy cap transistor” to suppress the charge injection effect, by adding a “dynamic body bias module” and a “body bias switching control module” to restrain the fluctuation of the threshold voltage as well as stabilize the output linearity. Considering the low-amplitude and low-frequency characteristics of human bioelectric signals, the high-speed sampling simulation analysis is performed on the human bio-electrical signal of a 0.6 V peak-to-peak voltage with frequency of 10 kHz and 100 Hz by 10 Msample/s sampling frequency. The results show that the consumption power is 587.3 nW at high frequency, ENOB is up to 8.9 bit, and the non-spurious dynamic range is 62.02 dB. When the signal frequency drops to 100 Hz, the power consumption is as low as 6 nW, ENOB is 6.33 bit, and the non-stray dynamic range can be increased to 78.19 dB. Cadence simulation results show that the performance of the designed switch can meet the demand of bioelectrical signal sampling.

**Key words:** bioelectric signal; sampling bootstrap switch; high linearity; low power consumption; dynamic body bias  
EEACC: 2570D      doi: 10.3969/j.issn.1005-9490.2021.05.008

## 面向生物电信号提取的超低功耗自举采样开关 \*

李娜, 段文娟, 张伟哲, 刘鑫芳, 孟庆端, 刘博 \*

(河南科技大学电气工程学院, 河南 洛阳 471023)

**摘要:** 为有效提取低频、微弱、易受干扰的人体生理信号, 可穿戴和医疗植入式 ASIC 电极中的 ADC 需搭载低功耗、高输出线性的栅压自举采样开关, 其性能直接影响生物界面上本征信号的完整性和提取精度。本研究采用 65 nm/0.6 V CMOS 工艺, 设计了一种适配该应用的栅压自举采样开关。通过附加“虚拟管”抑制电荷注入效应提升采样精度, 通过增设“动态体偏置模块”和“体偏置切换控制模块”, 抑制阈值波动, 稳定输出线性度。考虑人体生物电信号的低幅度和低频特性, 分别对峰值 0.6 V 的信频上限 10 kHz 和低频 100 Hz 的模拟生理电信号以 10 Msample/s 的采样频率进行高速采样仿真分析。结果显示: 在高频 10 kHz 消耗功耗 587.3 nW, 有效采样位数达 8.9 bit, 获得非杂散动态范围 62.02 dB; 当信频降为 100 Hz, 功耗降至 6 nW, 有效位数 6.33 bit, 非杂散动态范围可提升至 78.19 dB。Cadence 仿真结果表明, 设计的自举开关性能可较好地满足人体生物电信号的采样需求。

**关键词:** 模拟生物电信号; 自举采样开关; 高线性; 低功耗; 动态体偏置

中图分类号: TP391.4

文献标识码: A

文章编号: 1005-9490(2021)05-1066-06

可穿戴、植入式微电子设备的生理信号监测已成为运动、生理医疗等领域的热点话题。人体的心

率、脉搏、血压等生物电信号具有低频、微弱、易受干扰等特点, 因此, 对采集信号的微型电路来说, 除对

项目来源: 国家自然科学基金项目(61704049, 61804046); 河南省科技厅科技计划项目(192102210087, 182102210295)

收稿日期: 2020-10-22      修改日期: 2020-12-18

采样速率无过高要求外,对功耗、精度、抗干扰性和可靠性等都提出了较高要求。生物电信号采样的电路中,最常用性能均衡的逐次逼近型模数转换器(SAR-ADC),其在低频状态下仍有良好的精度和较低功耗。其中,栅压自举采样开关是ADC的重要组成部分之一,可对初始信号进行采样和保持<sup>[1-2]</sup>,该开关的性能也将直接影响生物界面信号提取的精度和效率。

MOS器件的栅控导通电阻和极间寄生电容显现出一系列非线性特征,导致了传统的栅压自举开关电路存在输出线性度差、采样精度低的特点<sup>[3]</sup>。再加上为实现栅压自举功能引起的拓扑结构复杂<sup>[4-5]</sup>,功耗上涨,这些都不能很好地适配当下低电源电压、低功耗便携式电子设备的续航要求。目前的研究多是围绕高频、高精度ADC的信号采样<sup>[6-8]</sup>,采样开关在电容阵列DAC中的低功耗设计<sup>[9-12]</sup>,轨对轨输入信号摆幅改善<sup>[13-14]</sup>,以及由体效应引起的阈值波动<sup>[15]</sup>、泄漏电流等开关鲁棒性设计<sup>[16]</sup>也有很多研究。

采样开关的线性精度主要取决于开关晶体管的等效导通电阻是否恒定。文献[4]和[13]中均提出采用NMOS和PMOS结合的并行开关结构,实现了在输入全摆幅范围内的常数导通电阻,保证了自举的线性特性。文献[9]在传统的自举开关拓扑基础上加入冗余管以抑制开关管的电荷注入效应,同时实现了1V电源电压下的10bit分辨率和100MHz时的好采样性能;文献[11]采用FD-SOI特殊工艺,稳定开关管的阈值以改进输出线性度;文献[15]通过采用输入电压的一阶体效应补偿来动态调整开关管的自举电压值,实现了较好的噪声性能和采样线性度。上述研究均以实现对高频信号高速采样时的低噪声和高线性度为设计目标,因此,一定程度上增加了电路的复杂度及功耗。

针对该问题,本研究在传统栅压自举开关的拓扑基础上进行了改进,在保证较低噪声和较高精度的同时,尽可能降低采样功耗。首先,在输出端附加小尺寸虚拟等效电容管,改善电荷注入效应;同时,在开关管的背栅极构建“动态体偏置”调整模块,灵活调节并消除源极-衬底电压差,稳定开关管阈值电压,提高采样精度;最后,构建“体偏置切换”控制模块,在时钟高电平时提供快速泄放电荷通路使电路加速,低电平时完全截断泄漏电流降低电路功耗。本文设计的采样开关可对100Hz以下的低频生物信号采样,在0.6V低电源电压下,有效位数可达6.33bit,功耗低至6nW,实现了非杂散动态范围

(SFDR)78.19dB和总谐波失真比(THD)-73.46dB的良好性能。该开关性能符合低频生物电信号的采样需求。

## 1 传统栅压自举采样开关

### 1.1 采样工作原理

目前主流的CMOS栅压自举开关电路如图1所示。电路的采样保持切换由一对逻辑互反的时钟信号Clks和Clksb控制。 $M_8$ 是核心采样开关管,漏/源两端分别连接采样信号的输入和输出。 $M_1$ 和 $M_2$ 构成反相器控制 $M_5$ 的导通,从而对 $M_8$ 采样管开关进行控制。 $M_2$ 的源极作为 $M_5$ 导通的低电平,接 $V_{in}$ 不接地,从而保证 $M_5$ 的过驱动电压低于 $V_{DD}$ 。 $M_6$ 和 $M_9$ 分别与 $M_3$ 和 $M_{10}$ 构成共栅极接地泄电荷通路,提高了电路的稳定性。

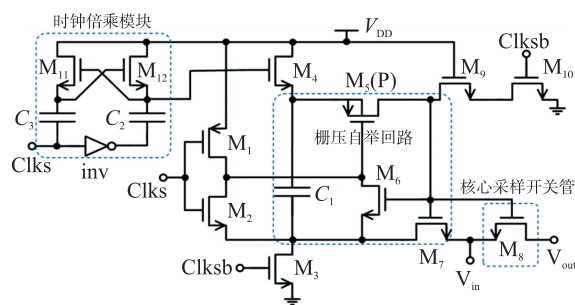


图1 传统栅压自举开关

在初始状态下Clks为低电平,电路处于保持状态。 $C_1$ 通过 $M_4$ 充电,通过 $M_3$ 放电,分别使上极板电位至 $V_{DD}$ 和下极板电位至地,此时 $M_5$ 和 $M_7$ 关断,将采样开关 $M_8$ 隔离。与之相对,当Clks跳变为高电平,电路开始信号采样,此时 $M_5$ 和 $M_7$ 导通,且与 $C_1$ 形成一个栅压自举回路,使得 $M_8$ 的栅源电压VGS钳制在 $V_{DD}$ 大小,不随输入电压的变化而改变,保证了充电电流的恒定和平稳。

时钟倍乘电路由 $M_{11}$ 、 $M_{12}$ 、 $C_2$ 、 $C_3$ 和反相器构成,用以将 $M_4$ 的栅控时钟信号从0至 $V_{DD}$ 拉升为 $V_{DD}$ 至 $2V_{DD}$ 。即使前一个周期 $C_1$ 充电后 $M_4$ 的源极电位上升到极板电压 $V_{DD}$ ,也可以提供足够过驱动使 $M_4$ 快速导通。实际设计中,为加快 $C_1$ 的充电速度,提升采样速率, $M_4$ 需要较大的沟道宽长比。

### 1.2 传统开关的非理想效应

图1的传统栅压自举开关电路具有三种常规的非理想效应,引起采样信号的不完整。

首先,以NMOS管 $M_8$ 作为核心的采样开关管,其由闭合至关断的瞬间,会出现“残留沟道电荷”回流回 $V_{in}$ 以及流入负载电容 $C_H$ 的“电荷注入”现象,如图2所示。

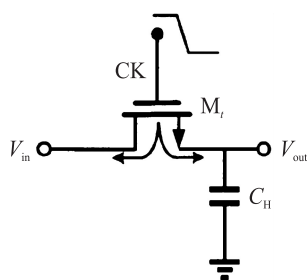


图 2 沟道电荷注入

通常,电荷注入效应产生的误差电压记为:

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{C_H} = \frac{V_{FSC}}{2^n} \quad (1)$$

因此,实际输出电压可表示为:

$$V_{out} \approx V_{in} - \Delta V = V_{in} - \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{C_H} \quad (2)$$

从式(2)可以看出,当采样电容  $C_H$  足够大时,可以近似忽略沟道注入引起的输入输出误差  $\Delta V$ 。因此,可以预设一个动态的负载电容在输出端,增大  $C_H$  以削弱电荷注入效应,提高采样线性度。

其次,“时钟馈通”效应也会引起输入信号采样的误差。开关管  $M_8$  的栅-源电容  $C_{gs}$  会将时钟跳变时的闪烁电荷进行记录,这部分多余电荷耦合并“电荷注入”到负载电容  $C_H$ ,引起采样电压的漂移和下降。

最后,在开关采样过程中,电路中  $M_7$  和  $M_8$  的衬底接地电位为 0,同时源极电位会随着  $V_{in}$  的变化而波动。该体效应将引起开关管阈值电压的波动,影响采样电荷量,导致采样不稳定而降低输出线性度。

## 2 改进的栅压自举采样开关

为解决上述三个缺点,本文有针对性地对电路拓扑进行了改进。如图 3(a)所示,首先,在  $M_8$  的输出端附加一个由时钟信号  $Clksb$  控制的“虚拟”电容管,该管的连接形态为二极管连接,用途为等效电容器件。根据式(2)的理论分析,通过增大输出端的负载电容以补偿“沟道电荷注入”和“时钟馈通效应”所引起的输出误差。通过仿真发现,如图 3(b)所示,将虚拟管的衬底由接地改为与源极连接可以

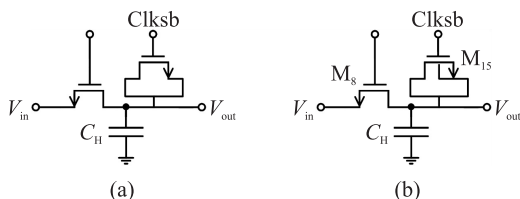


图 3 输出“虚拟”管的两种连接方法

释放更多的电荷。所以相较于(a)中的结构,(b)可以产生更大的输出电压变化,从而有效减小虚拟晶体管的尺寸以节省电路面积和减小电路功耗。

其次,为解决体效应引起的信号完整性问题,本设计采用了一种“动态体偏置”拓扑以提高输出线性度,改进后的电路如图 4 所示。与图 1 的传统采样电路相比,“动态体偏置调整模块”由 NMOS 管  $M_{16}$  和常闭状态的 PMOS 管  $M_{17}$  串联构成,  $M_7$  和  $M_8$  的衬底连接到  $M_{16}$  的源极。在采样阶段,  $Clks$  为高电平,  $M_{16}$  的栅极与  $M_7$  的栅极连在一起,通过打开的  $M_6$  连接  $C_1$  高电位,两管导通。此时,采样开关管  $M_8$  也由打开的  $M_5$  与  $C_1$  相连,开始导通并对输入信号采样。与此同时, PMOS 管  $M_{17}$  的栅极为高电平,设置其漏极输入低电平时钟信号  $Clksb$  处于完全的关断状态。  $M_7$  和  $M_8$  的衬底与源极连在一起,衬底偏压  $V_{SB}$  始终保持为 0。因此,两管的阈值电压  $V_{TH}$  不随输入电压  $V_{in}$  的变化而变化,保证了输出电流的稳定性,提高了采样线性度。

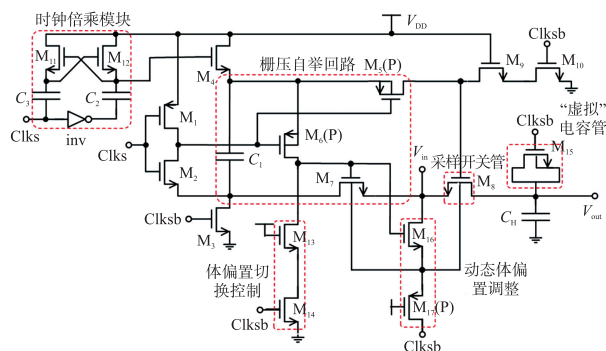


图 4 增加“虚拟”电容管和“动态体偏置”结构的改进型栅压自举采样开关

最后,在动态体偏置稳定开关管阈值的基础上,本设计又设置了“体偏置切换”控制模块,由高栅压常开状态的  $M_{13}$  和时钟信号控制的  $M_{14}$  构成高输出阻抗的共源共栅电流镜。在保持状态下,可为电容  $C_1$  提供泄放电荷的通路,在采样状态下,  $M_{14}$  完全关闭,与  $M_{13}$  形成共源共栅的高阻输出,有效抑制  $M_{16}$  的栅压波动,稳定体偏置调整模块的输入偏置。在保持阶段,  $Clks$  为低电平,  $M_5$  和  $M_6$  关断,  $M_{10}$  和  $M_{14}$  打开。此时,  $M_7$  和  $M_{16}$  的栅极通过导通的  $M_{13}$  共源共栅支路接地,开关采样管  $M_8$  则通过导通的  $M_9$  支路接地,三管处于全截止状态。

## 3 性能仿真及结果分析

本研究基于 65 nm/1.8 V CMOS 工艺,在 Cadence 平台完成了电路设计,所使用的晶体管器件尺寸参考表 1,输出负载电容  $C_H$  为 2.56 pF。

表 1 改进型自举采样开关所使用器件尺寸

单位: $\mu\text{m}$					
晶体管	W	L	晶体管	W	L
M <sub>1</sub>	2	0.4	M <sub>10</sub>	2	0.4
M <sub>2</sub>	1	0.4	M <sub>11</sub>	1	0.4
M <sub>3</sub>	4	0.4	M <sub>12</sub>	4	0.4
M <sub>4</sub>	8	0.4	M <sub>13</sub>	1	0.4
M <sub>5</sub>	6	0.4	M <sub>14</sub>	1	0.4
M <sub>6</sub>	1	0.4	M <sub>15</sub>	6	0.4
M <sub>7</sub>	4	0.4	M <sub>16</sub>	1	0.4
M <sub>8</sub>	8	0.4	M <sub>17</sub>	1	0.4
M <sub>9</sub>	2	0.4			

在 Spectre 仿真性能分析中,设置电源电压为 600 mV,输入信号采用峰峰值 200 mV,频率为 100 Hz 的理想正弦波。使用本文设计的自举开关对该信号以 100 kHz 的采样频率进行离散化电压提取,并分别对功能的实现和信号离散化采样的性能好坏进行了评估。

图 5 为开关电路的瞬态工作分析仿真波形图。最上面为  $V_{in}$  输入信号,中间为采样开关输出信号  $V_{out}$ ,最下面为开关管 M<sub>8</sub> 的栅极电压。由图可见,改进的栅压自举开关能够正常对  $V_{in}$  采样,同时能有效实现开关管的栅压随输入信号的变化而等幅自举,幅度保持为 0.6 V。

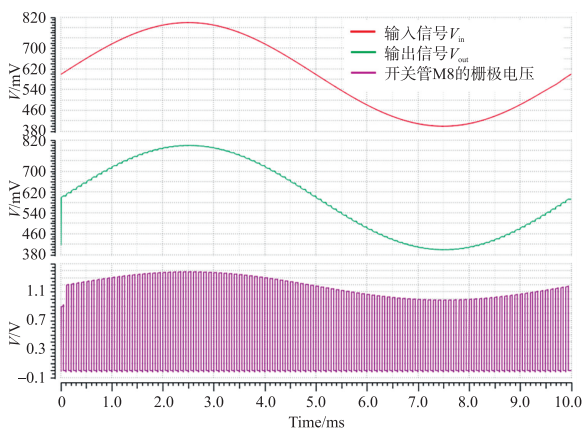
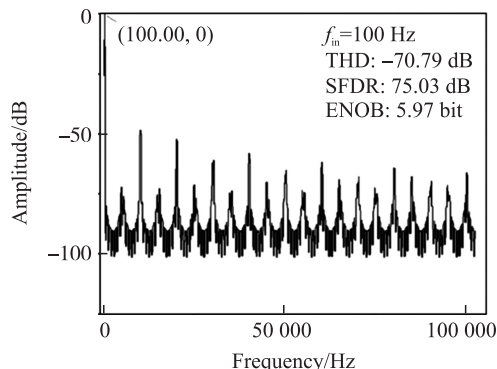


图 5 改进型栅压自举开关的输入输出和栅压自举仿真结果

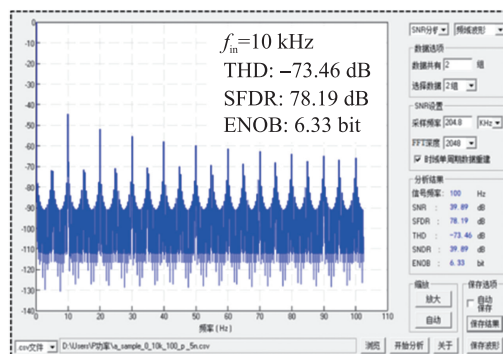
为评估采样后的信号完整性和输出线性度等性能,同时考虑用于后端 12 bit SAR-ADC 的采样应用,对输出信号采样  $2^{11} = 2048$  个点,并运行 FFT 进行信号的频谱分析。本文分别以 10 kHz 高频输入和 100 Hz 的仿生低频信号输入作为采样测试信号,分别对 4 种典型的数模转换性能评估指标,非杂散动态范围 SFDR、总谐波失真比 THD、信噪比 SNDR 和有效位数 ENOB 进行对比分析。结果如下:

对 100 Hz 低频仿生信号采样,其输出信号频

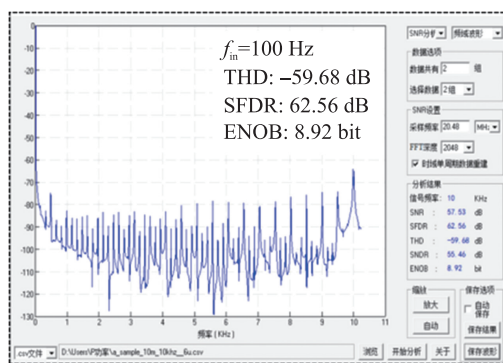
谱如图 6 所示。对比传统电路,改进后的采样开关在对输入信号进行采样离散化时,THD 为  $-73.46$  dB, SFDR 为 78.19 dB, ENOB 为 6.33 bit,各性能指标均有提升。此外,该电路 6 nW 的极低功耗可有效服务于可穿戴设备的长时间待机和续航。



(a) 传统开关 100 Hz 信号采样后



(b) 低频 100 Hz 生物信号采样后



(c) 高频 10 kHz 信号采样后

图 6 FFT 频谱图

此外,将本文提出的自举开关电路与近五年的 5 个同类型设计案例进行了对比,结果如表 2 所示。从对比数据可以看出,除 SNDR 指标略低于平均水平外,本设计在 THD 和 SFDR 性能指标上均具有优势,其中包括了采用更先进的 40 nm 工艺节点、同为实现生物电信号采集的 SAR-ADC 中搭载的采样开关的性能对比。值得注意的是,约为 6 nW 的采样功耗实现了目前所知自举采样开关设计案例中的最低功耗,可实现超低功耗的系统应用。同时,6.33

bit 的有效采样分辨率也符合生物电信号离散化时适中的精度要求。因此,本设计综合性能指标满足

可穿戴、植入式生物电信号采集微型电路系统的应用需求。

表 2 改进型自举采样开关的性能对比

自举采样开关	工艺/电源电压/ (nm/V)	输入/采样频率/ (Hz/Hz)	THD/ dB	SFDR/ dB	ENOB/ bit	SNDR/ dB	功耗/ $\mu$ W
传统结构	65/1.2	10k/10M	-59.49	62.00	8.88	55.26	0.597
	65/1.2	100/100k	-70.79	75.03	5.97	39.60	0.035
本设计	65/0.6	10k/10M	-59.68	62.56	8.92	55.46	0.587
	<b>65/0.6</b>	<b>100/100k</b>	<b>-73.46</b>	<b>78.19</b>	<b>6.33</b>	<b>39.89</b>	<b>0.006</b>
2015[1]	28/1.0	50M/800M	-71.4	71.71	>11	N/A	N/A
2016[10]	90/1.0	7M/280M	N/A	N/A	N/A	57.01	0.884
2016[11]	180/1.8	1.3k/100k	N/A	72.35	9.64	59.97	24.12
2016[12]	40/1.1	158M/350M	N/A	59.5	6.97	43.7	N/A
2018[14]	180/1.8	99.4M/200M	N/A	77.60	2.50	64.90	6.250

## 4 结束语

本研究面向人体生物电信号的前端采样和提取环节,采用 65 nm/0.6 V CMOS 工艺设计了一种功耗、噪声性能均衡的栅压自举采样开关,用于电容式逐次逼近寄存器型模数转换器(SAR-ADC)的信号离散化和采样。通过输出端附加“虚拟等效电容管”抑制时钟馈通效应和电荷注入效应,构建开关 NMOS 管的“动态体偏置调整”和“体偏置切换控制模块”提升线性度的同时抑制泄漏电流,有效降低了功耗。

通过 Cadence 仿真分析得到,设计的栅压自举采样开关在 10 kHz 的高频下功耗为 587.3 nW,有效采样位数达 8.9 bit,获得非杂散动态范围 62.02 dB;当采样信号切换到 100 Hz 以下的生物电信号频率,总谐波失真比和非杂散动态范围分别为 -73.46 dB 和 78.19 dB,较为良好。尽管噪声性能与多篇同类文献相比不具有优势,6.33 bit 的有效位数相比较也有所降低,但采样功耗仅为 6 nW,低功耗特性十分优越。综合评价,本文设计的自举开关性能可较好地满足人体生物电信号的采样需求。

## 参考文献:

[1] Ramkaj Athanasios, Tavernier Filip, Steyaert Michiel, et al. Fast Switch Bootstrapping for GS/s High-Resolution Analog-to-Digital Converter[C]//2015 11th Conference on Doctor Research in Microelectronics and Electronics(PRIME). Glasgow UK,2015:73-76.

[2] Chiranu Giorgiana-Catalina Ilie, Cristian Tudoran, Neagon Otilia, et al. Improved CMOS Analog Switch [C]//2019 International Symposium on Signals, Circuits and Systems (ISSCS). Iasi Romania,2019:1-4.

[3] Wang Lei, Ren Junyan, Yin Wenjing, et al. A High-Speed High-Resolution Low-Distortion CMOS Bootstrapped Switch [C]//Pro-

ceedings of 2007 IEEE International Symposium on Circuits and Systems, New Orleans, LA. 2007:1721-1724.

[4] 景鑫,庄奕琪,汤华莲,等.一种新型双通道 MOS 开关栅压自举电路[J].西安电子科技大学学报,2014,41(3):138-144.

[5] 周前能,高唱,李红娟,等.一种新型栅压自举采样开关[J/OL].微电子学;1-5[2020-07-30].https://doi.org/10.13911/j.cnki.1004-3365.190531.

[6] Ramkaj Athanasios T, Strackx Maarten, Steyaert Michiel S, et al. A 1.25-GS/s 7-b SAR ADC with 36.4-dB SNDR at 5 GHz Using Switch-Bootstrapping, USPC DAC and Triple-Tail Comparator in 28-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 53(7), 1889-1901. https://doi.org/10.1109/JSSC.2018:2822823.

[7] 张鹤玖,余宁梅,吕楠.一种用于列并行 ADC 的改进型栅压自举开关[J].固体电子学研究与进展,2019,39(3):214-219,234.

[8] Swindlehurst Eric, Jensen Hunter, Petrie Alexander, et al. An 8-bit 10-GHz 21-mW Time-Interleaved SAR ADC With Grouped DAC Capacitors and Dual-Path Bootstrapped Switch [C]//IEEE Solid-State Circuits Letters, Cracow Poland, 2019(2):83-86.

[9] Lillebrette Christian, Wulff Carsten, Ytterdal Trond. "Bootstrapped switch in low-voltage digital 90nm CMOS technology" = [C]//23rd Norchip Conference, Oulu Finland, 2005:234-236.

[10] Nazzal Tasnim B, Mahmoud Soliman A. Low-Power Bootstrapped Sample and Hold Circuit for Analog-to-Digital Converters [C]//2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS). Abu Dhabi United Arab Emirates, 2016:1-4.

[11] 孙帆.应用于生物电信号采集系统的 SARADC 研究与设计 [D].武汉:华中科技大学,2016.

[12] Ragab K, Sun N. A 1.4 mW 8 b 350 MS/s Loop-Unrolled SAR ADC with Background Offset Calibration in 40 nm CMOS [C]//ESSCIRC Conference, Lausanne Switzerland, 2016:417-420.

[13] Bora Pragoti Pran, Borggreve David, Vanselow Frank, et al. Low-Voltage Low-Distortion Sampling Switch Design in 22 nm FD-SOI CMOS Technology [C]//2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS). Batumi Georgia, 2017:86-89.

[14] Mohammadi Ahmad, Mohammad Chahardori. A Low-Power, Boot-

strapped Sample and Hold Circuit with Extended Input Ranged for Analog-to-Digital Converters in CMOS 0.18  $\mu\text{m}$  [C]//2018 15th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD). Prague, Czech Republic, 2018; 269-272.

- [15] Sarafi Sahar, Bin Aain Abu Khari, Abbaszadeh Javad. Low-Voltage CMOS Switch for High-Speed Rail-To-Rail Sampling[J]. Circuits, Systems, and Signal Processing, 2016, 35(3): 771-790.
- [16] Lu Yuxiao, Li Zhe, Zhou Jianjun. A Full-Swing Area-Efficient

High-Speed CMOS Bootstrapped Sampling Switch[J]. IEICE Electronics Express, 2013, 10(12): 83-86.

- [17] Dong Siwan, Liu Minjie, Zhu Zhangming, et al. A High Linear CMOS Body Effect Compensation Bootstrapped Switch[J]. Journal of Circuits, Systems, and Computers, 2015, 24(3): 1-12.
- [18] Tiwari Bhawna, Bahubalindrani Pydi Ganga, Deb Sujay, et al. Robust Linear Sampling Switch for Low-Voltage SAR ADCs[J]. Analog Integrated Circuits and Signal Processing, 2020, 103(2): 345-353.



李 娜(1983—),女,硕士,讲师,主要从事混合信号集成电路设计,Lina5059@163.com;



段文娟(1998—),女,硕士生,主要从事模拟/射频 IC 设计及其优化算法研究;



张伟哲(1998—),男,硕士生,主要从事模拟集成电路设计与规则化版图结构的热优化分析;



刘鑫芳(2000—),女,本科生,主要从事模拟信号采样和 AD 转换电路设计研究;



孟庆端(1978—),男,博士,教授,主要研究方向为高温超导体滤波器设计;



刘 博(1982—),男,博士,副教授,通讯作者,主要研究方向为混合信号/模拟/RF IC 及其版图设计自动化,liubo110@haust.edu.cn。