

A Design of Multi-Mode Digital Down Converter for Direct RF-Sampling ADC

PENG Qingyao^{1,2}, WU Danyu^{1,2*}, ZHOU Lei^{1,2}, WU Jin^{1,2}, LIU Xinyu^{1,2}

(1. Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China;

2. School of Microelectronics, University of Chinese Academy of Science, Beijing 100049, China)

Abstract: In order to meet the demand of direct RF-sampling ADC for the number of decimation modes of DDC, a multi-mode DDC design is proposed. The principles of AD sampling, DDC and high-speed and high-precision NCO are studied and analyzed, the DDC model based on multi-mode decimation filter bank is established, and the behavior level simulation and analysis are carried out, then the RTL design and simulation using Verilog HDL are completed, and the layout design and post simulation based on 28 nm using the digital back-end tool chain of Synopsys are completed. Simulation result shows that the design can work at 1 GHz with 14 modes. The minimum stopband attenuation is more than 100 dB, and the -3 dB bandwidth reaches 478.867 MHz when the decimation is 2. The area of DDC is 67% of 1 300 μm \times 1 370 μm . The power consumption under simulation is 301.7 mW. The design can meet the demand of direct RF-sampling ADC for multi-mode DDC, and has the advantages of more modes, less power consumption, and less resource consumption.

Key words: digital down converter; finite impulse response digital filter; coordinate rotation digital computer; 28 nm technology

EEACC: 1265A; 1270F

doi: 10.3969/j.issn.1005-9490.2021.06.006

一种用于直接射频采样 ADC 的多模式数字下变频器设计

彭庆尧^{1,2}, 吴旦昱^{1,2*}, 周磊^{1,2}, 武锦^{1,2}, 刘新宇^{1,2}

(1. 中国科学院微电子研究所, 北京 100029; 2. 中国科学院大学微电子学院, 北京 100049)

摘要: 为满足直接射频采样 ADC 对数字下变频器(digital down converter, DDC)抽取模式数量的需求, 提出了一种多模式 DDC 设计。首先研究和分析了 AD 采样原理、DDC 原理和高速高精度数控振荡器原理, 建立了基于多模式抽取滤波器组的 DDC 模型, 并进行了行为级仿真和分析; 之后采用 Verilog HDL 完成了 RTL 设计与仿真, 利用 Synopsys 数字后端工具链完成了基于 28 nm 工艺的版图设计与后仿。仿真显示, 该设计可工作在 1 GHz 时钟下, 实现了 14 种模式, 最低阻带衰减大于 100 dB, 在抽取系数为 2 的条件下, -3 dB 带宽达到 478.867 MHz。包含 ADC 所需的其他数字电路的总面积为 1 300 μm \times 1 370 μm (DDC 约占 67%), 总仿真功耗为 301.7 mW。该设计具有抽取模式多、功耗低、消耗资源少的优点, 能够满足直接射频采样 ADC 对多模式 DDC 的需求。

关键词: 数字下变频器; 有限冲激响应数字滤波器; 坐标旋转数字计算方法; 28 nm 工艺

中图分类号: TN911; TN492

文献标识码: A

文章编号: 1005-9490(2021)06-1314-08

直接射频采样模数转换器(Analog-to-Digital Converter, ADC)是直接射频采样接收机的关键组成部分, 通常具有高速、高精度、高采样率的特点。但由于受到数字信号处理技术与微电子技术发展的限

制, 后续的数字信号处理器(Digital Signal Processor, DSP)难以对 ADC 采样得到的数据进行实时处理^[1]。为了解决高速 ADC 与低速 DSP 之间的矛盾, 就需要对采样后的信号进行预处理^[2]。数字下

变频器(Digital Down Converter, DDC)是一种为解决这种矛盾而诞生的电路^[3-4]。如图1所示,在射频采样接收机中,DDC通常位于射频采样ADC与DSP之间,它的功能是降低信号的中心频率、降低信号的采样率与过滤高频噪声^[5]。

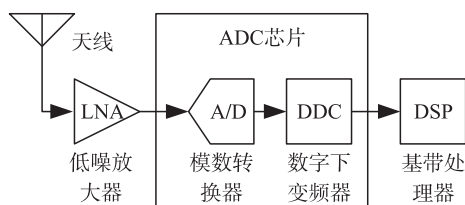


图1 直接射频采样接收机

同时,多抽取模式的DDC也是需要关注的。随着无线通信技术的发展,载波带宽种类繁多。针对无线通信中各种应用场景,具有多种抽取模式的DDC可以很好地应用于这些场景和多种载波带宽,节省后端DSP的计算资源,降低系统功耗和成本^[6-8]。

本文在深入研究了多种DDC的实现方案后,提出了一种多模式DDC结构,并基于28 nm工艺将其内嵌于ADC中,实现了DDC的GDSII版图设计。与前人设计相比,本设计优化了电路结构,提高了抽取滤波器的工作时钟频率,实现了14种抽取模式,能够实现较高的阻带衰减。

1 电路结构

本文设计的DDC整体结构如图2所示。输入信号经过正交混频后,分别通过I/Q两路抽取滤波器组进行抽取和滤波后输出。设计中包含一个数控振荡器(Numerically Controlled Oscillator, NCO),用于产生混频所需的正弦波与余弦波。I/Q两路信号分别经过抽取滤波器组完成低通滤波与抽取,滤波器组可以构成14种不同的抽取模式以适应不同场景下的应用需求。

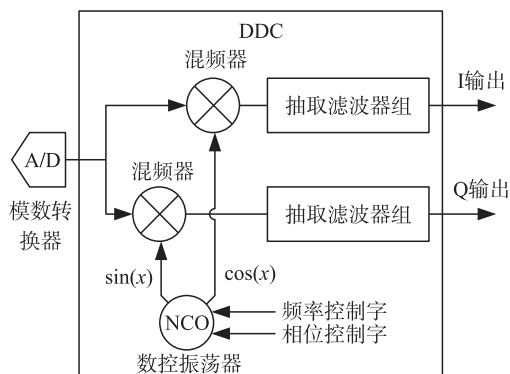


图2 DDC整体结构

1.1 数控振荡器

NCO用于对输入的信号混频,需要产生最大 $f_c/2$

频率的正弦波,并能够对产生正弦波的频率与相位进行控制。本文设计的NCO结构如图3所示,包含相位累加器、相位寄存器、相位偏移器和相位振幅映射器。前三个部分通过累加频率控制字并叠加一个初始相位产生当前相位;相位振幅映射器将当前的相位映射到相应的振幅。

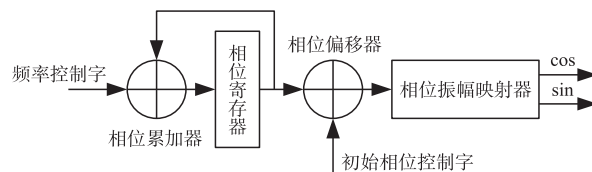


图3 NCO结构

常见的相位振幅映射器有使用只读存储器(Read-Only Memory, ROM)查找表的方法和基于坐标旋转数字计算机(Coordinate Rotation Digital Computer, CORDIC)的方法。基于ROM查找表的方法,预先将计算好的振幅值存在ROM中,使用时根据相位值查找对应的振幅值^[9]。采用这种方法设计的相位振幅映射器原理简单易实现,但输出精度完全依赖于ROM的数据位宽,另一方面,输出信号的频率下限越低,意味着输出振幅的精度越高,则所需要的ROM容量越大。因此基于ROM查找表的方法不可避免地会占用大量的面积。基于CORDIC的方法对向量旋转进行迭代,通过逼近目标角度来计算得出正余弦值。这种方法只用到了加法与移位运算,同时使用流水线结构,因此可以在输出精度足够的情况下,保持较高的采样率,也不会受到ROM容量的限制^[10-11]。本文采用了基于CORDIC算法实现的数控振荡器,通过增加流水线加法器在保持1 GHz工作时钟频率下,增加了数据精度,实现了较高的无杂散动态范围。

1.2 抽取滤波器组

信号经过混频后,频谱被搬移至基带。此时,信号频谱附近的噪声也被搬移至基带附近,同时基带信号仍保持着较高的采样率。抽取滤波器组的目的就是滤除噪声,同时降低基带信号的采样率。

随着无线通信技术的发展,载波带宽种类繁多。针对无线通信中的多种应用场景,DDC也需要提供多种下变频模式。文献[7]通过级联多个二抽取滤波器,在不同的情况下旁路掉不需要的抽取滤波器实现了多种抽取模式,这种设计因结构简单而常被采用,但能够实现的抽取模式较少,且只能实现2的幂次方倍抽取。为了实现多种下变频模式,本文设计了若干具有不同系数的滤波器,在不同应用情况下,通过多路选择器选通不同的滤波器与抽取率的组合。

多模式滤波器组抽取功能的实现方式有两种,一种方法是所有电路都工作在主时钟下,通过计数器产生有效信号来告知下级电路哪一时刻的数据是有效的。这种方法设计思路简单,代码上易于实现,但在实际应用中所有电路都工作在主时钟下,翻转率高会导致动态功耗过高,所有时序电路都约束在高速的主时钟下也会为后端综合与设计带来困难。另一种方法是通过时钟分频产生全部所需的时钟信号,提供给对应的抽取滤波器。使用这种方法,越靠后的抽取滤波器必然会工作在速度越低的时钟下,减少了动态功耗;另一方面,在不使用某些抽取滤波器时,时钟管理模块提供给该滤波器的时钟拉低,使该模块不工作从而消除了短路功耗,进一步减少整体电路功耗。滤波器组结构如图 4 所示,时钟管理模块产生主时钟与主时钟的 2~48 分频时钟,分别为 clk1、clk2~clk48,根据不同情况下的滤波器配置,提供给每个滤波器对应的输入时钟和输出时钟。图 5 为抽取系数为 48 时滤波器组结构与时钟配置。

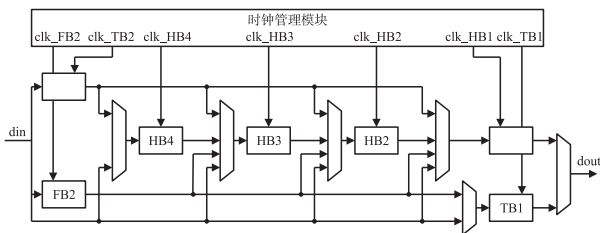


图 4 滤波器组结构与时钟配置

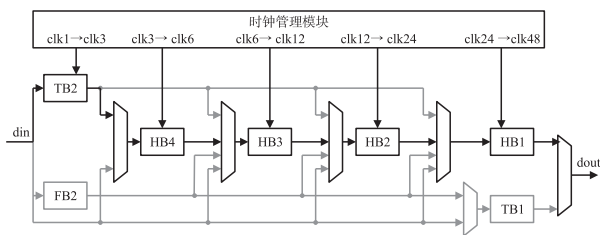


图 5 抽取系数为 48 时滤波器组结构与时钟配置

2 电路设计

2.1 CORDIC 算法与流水线实现

CORIDC 算法的核心思想是“二分法逼近”。通过预设一组特定的角度,计算时,逐次旋转这些角度,最终逼近目标角度,并在每次旋转中进行计算,最后得到目标角度的正余弦值。

当图 6 中 A 向量旋转到 B 向量时,有等式(1):

$$\begin{cases} x_1 = x_0 \cos \theta_0 - y_0 \sin \theta_0 \\ y_1 = y_0 \cos \theta_0 + x_0 \sin \theta_0 \end{cases} \quad (1)$$

则第 i 次旋转时,将等式转化为矩阵形式,有等式(2):

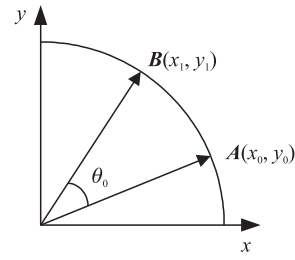


图 6 向量旋转示意

$$\begin{bmatrix} x_i \\ y_i \end{bmatrix} = \begin{bmatrix} \cos \theta_{i-1} & -\sin \theta_{i-1} \\ \sin \theta_{i-1} & \cos \theta_{i-1} \end{bmatrix} \begin{bmatrix} x_{i-1} \\ y_{i-1} \end{bmatrix} \quad (2)$$

提取出公因式 $\cos \theta_{i-1}$ 后得到等式(3):

$$\begin{bmatrix} x_i \\ y_i \end{bmatrix} = \cos \theta_{i-1} \begin{bmatrix} 1 & -\tan \theta_{i-1} \\ \tan \theta_{i-1} & 1 \end{bmatrix} \begin{bmatrix} x_{i-1} \\ y_{i-1} \end{bmatrix} \quad (3)$$

化简计算,可以令 $\tan \theta_i = 2^{-i} s_i$,利用二进制的运算法则将乘法运算转换为移位运算。其中 s_i 为 $\tan \theta_i$ 的符号,也代表着旋转的方向。若从 x 轴处,也即 $x_0 = 1, y_0 = 0$ 处开始逆时针旋转,每旋转一次 θ_i 后检测当前角度与目标角度的差距,若不足则继续逆时针旋转,若超出则顺时针旋转。累计旋转 n 次后,有等式(4):

$$\begin{bmatrix} x_n \\ y_n \end{bmatrix} = \prod_{i=0}^{n-1} \cos \theta_i \begin{bmatrix} 1 & -2^{1-n} s_{n-1} \\ 2^{1-n} s_{n-1} & 1 \end{bmatrix} \dots \begin{bmatrix} 1 & -2^{-1} s_1 \\ 2^{-1} s_1 & 1 \end{bmatrix} \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (4)$$

且 $\theta_n = \arctan 2^{-n}$,本设计中取 $n = 19$,可以计算出最大误差角度,也即 $\theta_n \approx 0.000\ 109\ 28^\circ$ 。

若令 $K = \prod_{i=0}^{n-1} \cos \theta_i$,将这一项与 $\begin{bmatrix} x_0 \\ y_0 \end{bmatrix}$ 结合,并代入 $x_0 = 1, y_0 = 0$,得到等式(5):

$$\begin{bmatrix} x_n \\ y_n \end{bmatrix} = \begin{bmatrix} 1 & -2^{-(n-1)} s_{n-1} \\ 2^{-(n-1)} s_{n-1} & 1 \end{bmatrix} \dots \begin{bmatrix} 1 & -2^{-1} s_1 \\ 2^{-1} s_1 & 1 \end{bmatrix} \begin{bmatrix} 1 & -1 \\ 1 & 1 \end{bmatrix} \begin{bmatrix} K \\ 0 \end{bmatrix} \quad (5)$$

在等式的基础上,加入 $z_0 = \theta, z_i = z_{i-1} - s_{i-1} \theta_{i-1}$,其中 θ 为需要计算正余弦值的目标角度,依据此设计出流水线结构如图 7 所示。

2.2 多模式抽取滤波器组

2.2.1 单级滤波器与抽取

和无限冲激响应 (Infinite Impulse Response, IIR) 数字滤波器相比,有限冲激响应 (Finite Impulse Response, FIR) 数字滤波器线性相位延迟,且由于极点全部在原点,运行更加稳定。FIR 数字滤波器的缺点是设计复杂,但可以使用计算机辅助设计。借

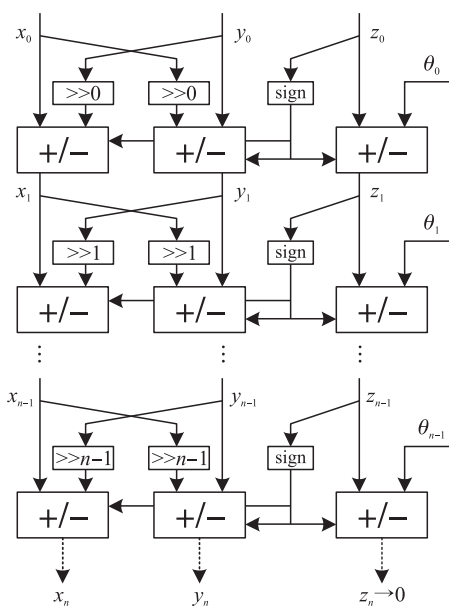


图 7 CORDIC 算法的流水线结构

助 MATLAB 的 Filter Design & Analysis 工具, 就可以快速准确地得到目标滤波器的阶数与抽头系数。考虑到系统稳定性和实现更大的信噪比与无衰减通带带宽, 本文采用了级联 FIR 滤波器的方案。

为实现降低采样率的功能, 信号还需要经过抽取。D 倍抽取一般指每 D 个信号抽出一个信号, 其余舍弃, D 为整数, 称为抽取因子。信号经过 D 倍抽取后, 采样率变为原来的 1/D, 同时信号的频谱发生周期性拓展。根据奈奎斯特采样定理, 采样率需要大于信号最大频率的两倍, 否则会发生混叠导致信号失真。

N 抽头 FIR 数字滤波器的差分方程为式(6):

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) = \sum_{k=0}^{N-1} b_k x(n-k) \quad (6)$$

式中: b_k 为单位冲激响应 $h(n)$ 的序列值。对于有限冲激响应数字滤波器, b_k 包含有限个非零值。设计中采用了半带 (Half-band, HB) FIR 滤波器, HB FIR 滤波器的特征是滤波器的幅频响应关于 1/4 采样频率对称, 通带波纹与阻带波纹相等。这些特征决定了滤波器的抽头数为奇数个, b_k 中有接近一半的值为零, 且抽头系数具有对称性如式(7)所示。

$$\begin{cases} b_k = b_{N-(k+1)} \\ b_k = 0, k \text{ 为奇数且 } k \neq N/2-1 \end{cases} \quad (7)$$

根据这些特性, 系数为零意味着可以省去接近一半的乘法器; 系数对称意味着可以通过提取公因式的方法, 先将乘后加的计算顺序改变为先加后乘, 再减少接近一半的乘法器。这种选择可以优化滤波器结构, 减少加法器与乘法器的数量, 节省消耗的电路资源。因此, N 抽头 HB FIR 滤波器的差分方程

为式(8):

$$y(n) = \sum_{j=0}^{\frac{N-1}{2}} b_{2j}x(n-2j) + b_{\frac{N-1}{2}}x\left(n-\frac{N-1}{2}\right) \quad (8)$$

按照差分方程设计的常见的 2 倍抽取滤波器的结构如图 8 所示。

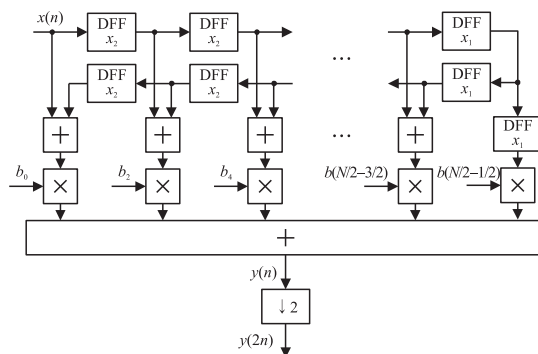


图 8 2 倍抽取 N 抽头 HB FIR 滤波器结构

信号序列 $x(n)$ 经过滤波后得到 $y(n)$, 再经过 2 倍抽取后得到序列 $y(2n)$ 。考虑到对经过计算后的数据进行 2 倍抽取, 本质上就是每隔一个数据舍弃掉一个数据, 若令输出信号序列为 $y(m) = y(2n)$, 此时观察抽取后的差分方程式(9):

$$y(m) = y(2n) = \sum_{j=0}^{\frac{N-1}{2}} b_{2j}x(2n-2j) + b_{\frac{N-1}{2}}x\left(2n-\frac{N-1}{2}\right) = \sum_{j=0}^{\frac{N-1}{2}} b_{2j}x(m-2j) + b_{\frac{N-1}{2}}x\left(m-\frac{N-1}{2}\right) \quad (9)$$

式中: $x(m) = x(2n)$, 代表经过 2 倍抽取后的输入信号序列。根据方程可以看出, 滤波后抽取可以等效为, 对计算前的数据 $x(n)$ 进行 2 倍抽取, 因此可以将抽取滤波器的结构再次优化, 把抽取环节移动到计算环节之前、移位寄存器环节之后。最终优化后的滤波器结构如图 9 所示。

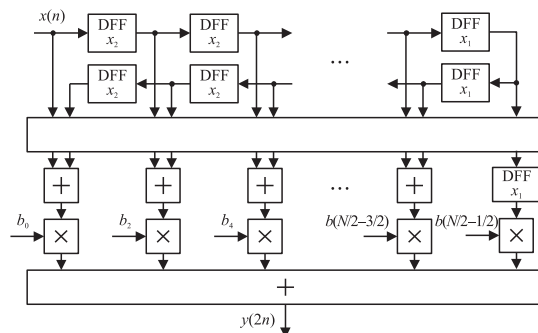


图 9 优化后的 2 倍抽取 N 抽头 HB FIR 滤波器结构

但不能将抽取环节再向前移动, 因为若在输入时就进行抽取, 则差分方程中不会包含 $b_{\frac{N-1}{2}}x\left(m-\frac{N-1}{2}\right)$ 一项。而对于 N (奇数) 抽头的 HB

FIR 滤波器,存在 $b_{\frac{N-1}{2}} \neq 0$,使得 $b_{\frac{N-1}{2}} x \left(m - \frac{N-1}{2} \right)$ 无法忽略,也即无法在信号序列输入时就进行 2 倍抽取。

优化后的抽取滤波器,实际上是在不改变抽取与滤波的差分方程,也即不改变工作原理的基础上,降低了加法器与乘法器的工作频率,可以使滤波器工作在更高的时钟频率下,也因此可以适应更高的输入信号带宽。

以 2 倍抽取 N 抽头的 HB FIR 滤波器为例,按照表 1 分别设计出每一种滤波器。

2.2.2 滤波器组设计

对于项目中要求的 DDC 的抽取系数,按照表 2 设计了滤波器的组合方案,滤波器的输入时钟与后

续时钟由时钟管理模块产生,clk1、clk2~clk48 为主时钟 clk 与其 2 至 48 分频时钟,所有情况下输入采样率均为 f_s 。

表 1 滤波器组用到的滤波器

代号	抽取系数	通带带宽/ (rad/s)	阻带带宽/ (rad/s)	阻带衰 减/dB
HB1	2	$0.8x\pi/2$	$1.2x\pi/2$	>100
HB2	2	$0.4x\pi/2$	$1.6x\pi/2$	>100
HB3	2	$0.2x\pi/2$	$1.8x\pi/2$	>100
HB4	2	$0.1x\pi/2$	$1.9x\pi/2$	>100
TB1	3	$0.8x\pi/3$	$1.2x\pi/3$	>100
TB2	3	$0.4x\pi/3$	$1.6x\pi/3$	>100
FB2	5	$0.4x\pi/5$	$1.6x\pi/5$	>100

表 2 每种抽取模式与滤波器组合

滤波器组搭配	抽取系数	时钟搭配:输入时钟→后续时钟	输出采样率
HB1	2	clk1→clk2	$f_s/2(I)+f_s/2(Q)$
TB1	3	clk1→clk3	$f_s/3(I)+f_s/3(Q)$
HB2~HB1	4	clk1→clk2→clk4	$f_s/4(I)+f_s/4(Q)$
TB2+HB1	6	clk1→clk3→clk6	$f_s/6(I)+f_s/6(Q)$
HB3~HB1	8	clk1→clk2→clk4→clk8	$f_s/8(I)+f_s/8(Q)$
FB2+HB1	10	clk1→clk5→clk10	$f_s/10(I)+f_s/10(Q)$
TB2+HB2~HB1	12	clk1→clk3→clk6→clk12	$f_s/12(I)+f_s/12(Q)$
FB2+TB1	15	clk1→clk5→clk15	$f_s/15(I)+f_s/15(Q)$
HB4~HB1	16	clk1→clk2→clk4→clk8→clk16	$f_s/16(I)+f_s/16(Q)$
FB2+HB2~HB1	20	clk1→clk5→clk10→clk20	$f_s/20(I)+f_s/20(Q)$
TB2+HB3~HB1	24	clk1→clk3→clk6→clk12→clk24	$f_s/24(I)+f_s/24(Q)$
HB2+FB2+TB1	30	clk1→clk2→clk10→clk30	$f_s/30(I)+f_s/30(Q)$
FB2+HB3~HB1	40	clk1→clk5→clk10→clk20→clk40	$f_s/40(I)+f_s/40(Q)$
TB2+HB4~HB1	48	clk1→clk3→clk6→clk12→clk24→clk48	$f_s/48(I)+f_s/48(Q)$

3 电路实现与仿真

3.1 RTL 级设计与仿真

本文使用 Verilog HDL 编码实现上述 DDC 电路,其中滤波器抽头系数由 MATLAB 辅助设计。设计完成后通过 ModelSim 对电路进行仿真验证,借助 MATLAB 分析输出信号频谱。

最终仿真结果显示,本文设计的基于 CORDIC 算法的 NCO 工作在 1 GHz 时钟频率下,输出 350 MHz 正弦波时,无杂散动态范围可达 110.4 dB,如图 10 所示。

整体电路仿真通过输入激励信号为 0 ~ 500 MHz 的扫描信号,得到 DDC 在 14 种抽取模式下,输出信号的频谱分别为图 11~图 24。

图 11~图 24 显示,所有抽取模式下的 DDC 都

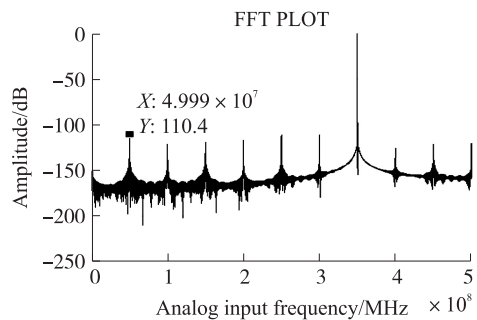


图 10 NCO 输出 350 MHz 正弦波频谱

具有平缓的通带,阻带衰减均大于 100 dB,某些模式下即使存在次波峰衰减低于 80 dB,但经过抽取后,均折叠到阻带或过渡带,并不影响通带性能,DDC 满足设计需求。各抽取模式的详细参数如表 3 所示。

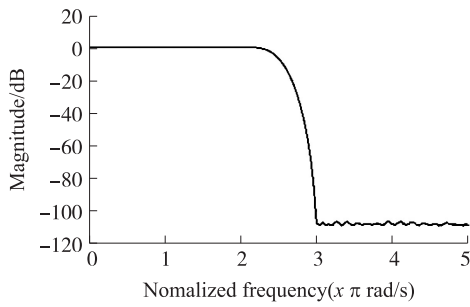


图 11 2 倍抽取 DDC 频谱图

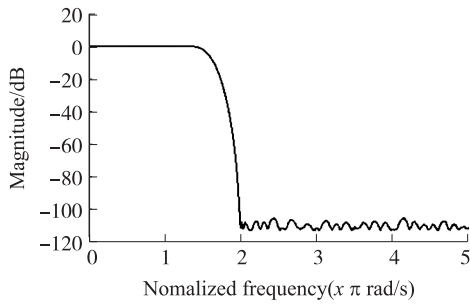


图 12 3 倍抽取 DDC 频谱图

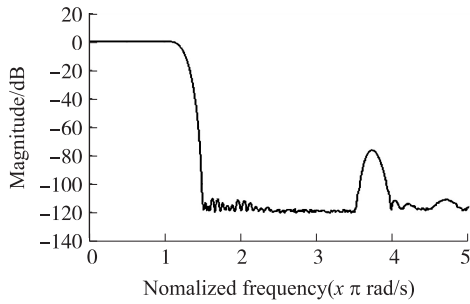


图 13 4 倍抽取 DDC 频谱图

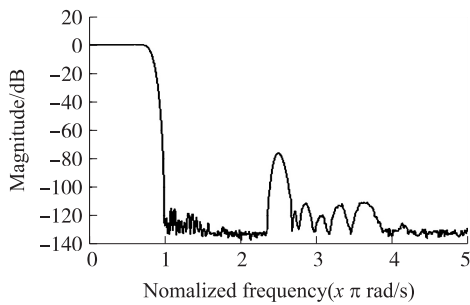


图 14 6 倍抽取 DDC 频谱图

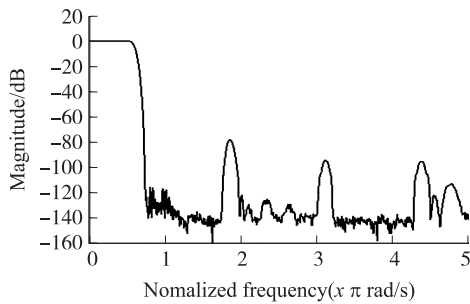


图 15 8 倍抽取 DDC 频谱图

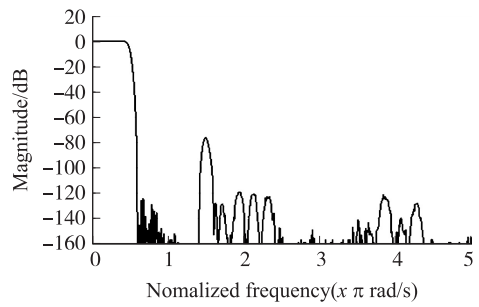


图 16 10 倍抽取 DDC 频谱图

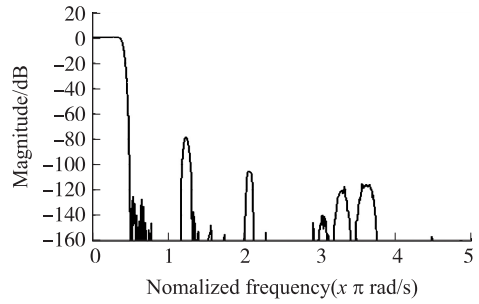


图 17 12 倍抽取 DDC 频谱图

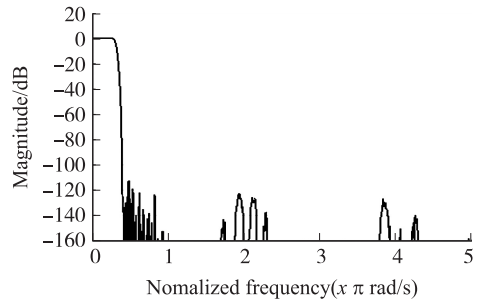


图 18 15 倍抽取 DDC 频谱图

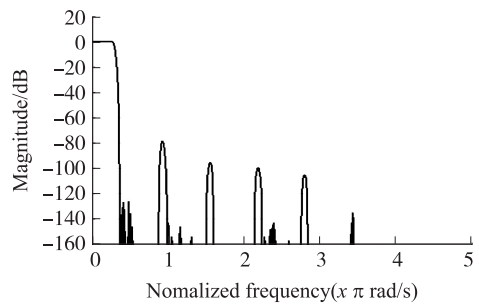


图 19 16 倍抽取 DDC 频谱图

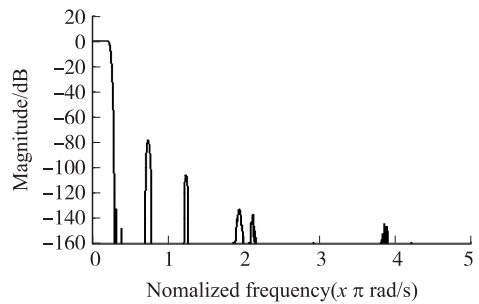


图 20 20 倍抽取 DDC 频谱图

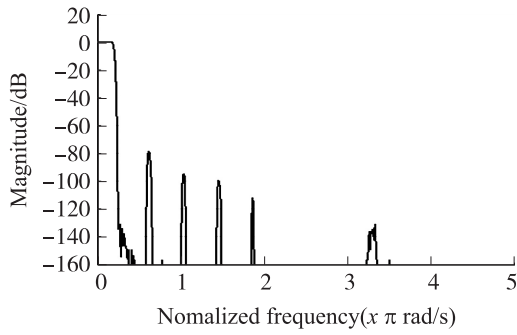


图 21 24 倍抽取 DDC 频谱图

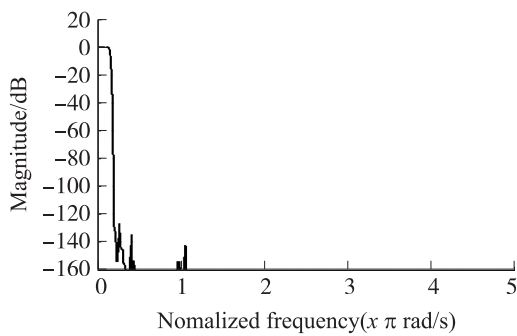


图 22 30 倍抽取 DDC 频谱图

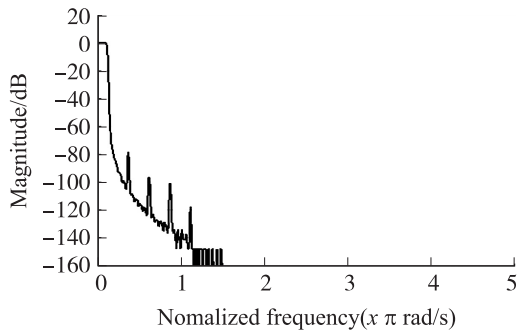


图 23 40 倍抽取 DDC 频谱图

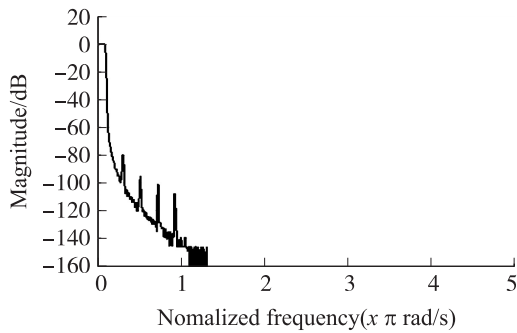


图 24 48 倍抽取 DDC 频谱图

表 4 给出了其他文献与本文中 DDC 参数的对比,本文提出的 DDC 设计在抽取模式数量、通带带宽和阻带衰减方面均有一定的优势。

表 3 每种抽取模式的-3 dB 带宽与阻带衰减

抽取系数	-3dB 带宽/MHz	阻带衰减/dB
2	478.867	106.4
3	306.597	105.3
4	238.904	110.1
6	158.676	114.3
8	118.955	115.2
10	94.918	124.1
12	78.842	124.9
15	60.504	112.8
16	58.922	125.8
20	47.068	132.4
24	38.860	130.9
30	29.645	126.6
40	22.808	105.4
48	18.654	100.4

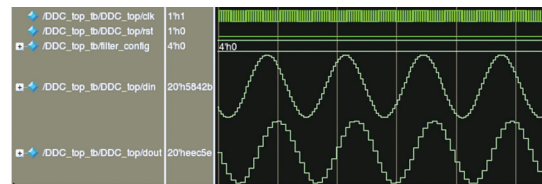
表 4 DDC 参数对比

文献	模式数量	归一化通带带宽	阻带衰减/dB
[4]	13	0.400	85.0
[7]	6	0.350	80.0
[8]	—	0.480	93.0
本文	14	0.445	100.4

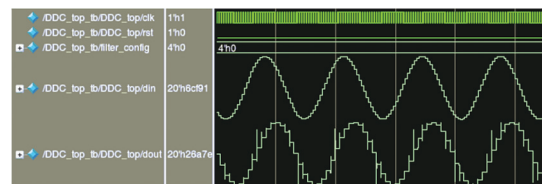
3.2 ASIC 实现与后仿真

本文设计的 DDC 与其他数字部分模块一起嵌入 1 GS/s 14 bit ADC 进行流片,所有数字部分电路基于 28 nm 工艺,使用 Synopsys 公司的 Design Compiler 和 IC Compiler 完成 RTL 代码的综合与布局布线。

图 25 为 DDC 输出波形的前、后仿真结果对比,经过 Prime Time 对电路的时序分析,各路径的延时均满足了建立时间与保持时间的要求,后仿结果显示电路功能与前仿一致,该电路满足设计需求。



(a) DDC前仿真波形



(b) DDC后仿真波形

图 25 DDC 输出波形的前、后仿真结果

数字部分的 IR_DROP 如图 26 所示,在设定供电

电压 0.9 V, 翻转率 0.8(每周期 80%的单元发生翻转)条件下,VDD 的 IR_DROP 低于 29.86 mV,绝大部分低于 8.96 mV;VSS 的 IR_DROP 低于 26.44 mV,绝大部分低于 10.58 mV;均低于满幅电压的 3.5%,满足设计要求。

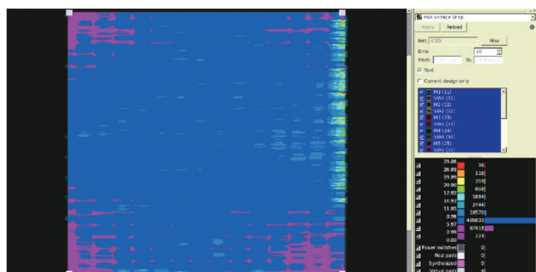


图 26 VDD 的 IR_DROP 图

最终数字部分版图面积为 $1\ 300\ \mu\text{m} \times 1\ 370\ \mu\text{m}$ (DDC 约占 67%),仿真功耗为 301.7 mW。通过 STA 静态时序分析、IR_DROP 分析、DRC 与 LVS 等检查,确定了本设计满足 ASIC 设计要求,功能完善。

4 结论

在研究了现有数字下变频电路的基础上,本文提出了一种多模式 DDC 电路结构。该 DDC 作为一款 ADC 芯片的数据处理模块,使用 ASIC 设计方法实现。文章改进了传统的抽取滤波器结构,使其具有更高的工作频率,同时提出了一种实现多抽取模式的方法,在 28 nm 工艺下完成了版图设计。本设计可以工作在 1 GHz 时钟下,对 1 GS/s 的 14 bit 数据进行下变频与抽取,共可以实现 14 种抽取模式,

抽取系数包括 2、3、4、6、8、10、12、15、16、20、24、30、40、48,最低阻带衰减达到 100.4 dB。其中 NCO 的无杂散动态范围达到 110.4 dB。此外,基于本文提出的多模式 DDC,还可以利用时钟门控设计,在不同模式下关闭不工作的滤波器,以减少电路的功耗。本文提出的设计为直接射频采样 ADC 中的多模式 DDC 电路提供了一种更好的选择。

参考文献:

- [1] 卢生春. 空时抗干扰系统中 A/D 采样和数字下变频模块的设计与实现[D]. 长沙:国防科学技术大学,2009.
- [2] 郭连平. 宽带信号频谱分析关键技术研究与系统实现[D]. 成都:电子科技大学,2015.
- [3] 张凯,陈龙,秦奋,等. 高倍抽取率的数字下变频设计[J]. 火控雷达技术,2019,48(4):33-37.
- [4] 吴晓晔,胡志伟,白晓远. 基于高速采样的实时 DDC 架构技术[J]. 计算机测量与控制,2020,28(1):255-260.
- [5] 王澍. 基于 FPGA 的一种数字下变频器设计[D]. 济南:山东大学,2019.
- [6] 郭维,黄文刚,马敏舒,等. 功能可配置的数字变频芯片的研制与测试[J]. 现代雷达,2017,39(7):45-48,62.
- [7] 田增山,李路. TD-LTE 多带宽数字下变频设计与 FPGA 实现[J]. 电讯技术,2016,56(7):808-814.
- [8] 王利华. 宽带分数抽取数字下变频设计[J]. 雷达科学与技术,2018,16(1):68-72,86.
- [9] 吴云树,汪浩. 基于 FPGA 的数字下变频技术研究[J]. 国外电子测量技术,2019,38(11):113-118.
- [10] 刘刚,蒋伟进,董胡,等. 数字下变频中基于 CORDIC 算法的 NCO 设计[J]. 无线电工程,2017,47(12):71-74.
- [11] 吉炜寰,黄磊,邹玉炜. 具有自校准功能的多通道数字下变频器设计[J]. 电子器件,2016,39(6):1386-1390.



彭庆尧(1995—),男,汉族,安徽省淮北市人,中国科学院大学硕士研究生,研究方向为高性能数据转换器中数字信号处理电路研究,704774069@qq.com;



吴旦昱(1985—),男,汉族,湖南涟源人,博士,研究员,主要研究方向为高性能数模混合集成电路设计,wudanyu@ime.ac.cn。