

## High Accuracy and Low Noise Bandgap Reference for High Precision ADC<sup>\*</sup>

YIN Yunting<sup>1\*</sup>, HU Yi<sup>1</sup>, LI Zhenguo<sup>1</sup>, ZHANG Zhe<sup>1</sup>, LI Dejian<sup>1</sup>, LUO Shaojie<sup>2</sup>

(1. Beijing Smart-Chip Microelectronics Technology Co., Ltd., Beijing 100000, China;

2. State Grid Zhejiang Electric Power Co., Ltd., Hangzhou Zhejiang 310000, China)

**Abstract:** A CMOS Bandgap reference circuit of high accuracy and low noise is presented, which is suitable for high precision ADC. In the bandgap circuit proposed, a constant current source is applied on the diode to achieve high-order curvature correction. The output voltage offset caused by the mismatch of the operational-amplifier is eliminated through chopping technique. This circuit, implemented in TSMC 0.18  $\mu\text{m}$  process, consumes a power of 1.2 mW under room temperature from 5 V supply voltage and occupies an area of 0.245  $\text{mm}^2$ . Experimental results shows that the temperature coefficient of the circuit is only  $1.2 \times 10^{-6}/^\circ\text{C}$  in the temperature range of  $-40^\circ\text{C}$  to  $85^\circ\text{C}$  just through one single room temperature trim.

**Key words:** CMOS bandgap reference; curvature compensation; room temperature trim; chopping; temperature coefficient

EEACC: 1265Z

doi: 10.3969/j.issn.1005-9490.2023.02.001

## 适用于高精度 ADC 的高精度低噪声基准源<sup>\*</sup>

尹芸婷<sup>1\*</sup>, 胡 毅<sup>1</sup>, 李振国<sup>1</sup>, 张 喆<sup>1</sup>, 李德建<sup>1</sup>, 罗少杰<sup>2</sup>

(1. 北京智芯微电子科技有限公司, 北京 100000; 2. 国网浙江省电力有限公司, 浙江 杭州 310000)

**摘 要:** 提出了一种适用于高精度 ADC 的高精度低噪声 CMOS 带隙基准电路结构, 通过一路恒流源作用在二极管来实现高阶曲率补偿技术, 改善了传统基准电路结构在全温区电压温度系数大的问题。对于放大器的随机失配电压造成的输出电压漂移问题, 采用斩波技术消除。该结构采用了 TSMC 0.18  $\mu\text{m}$  工艺, 在 5 V 电源电压下工作, 功耗在典型条件下为 1.2 mW, 电路面积为 0.245  $\text{mm}^2$ 。测试结果显示, 通过一次室温修调后, 在  $-40^\circ\text{C}$  到  $85^\circ\text{C}$  温度区间电路的温度系数可以达到  $1.2 \times 10^{-6}/^\circ\text{C}$ 。

**关键词:** CMOS 带隙基准电路; 曲率补偿; 室温校准; 斩波; 温度系数

中图分类号: TM933.21; TN710

文献标识码: A

文章编号: 1005-9490(2023)02-0289-08

高精度基准电压源目前被广泛应用在模拟、数模混合等大型集成电路中。在高精度模数转换器 (Analog to Digital Converter, ADC) 中, 基准源为 ADC 提供参考电压。高精度 ADC 为了得到更好的动态及静态特性, 对基准源的精度以及噪声要求都比较苛刻。同时, 为了使 ADC 芯片在整个应用温度范围内正常工作, 基准源输出电压的温度系数必须尽可能地小。基准源电路的基本工作原理是通过在双极型晶体管的发射极-基极电压  $V_{BE}$  上叠加一个正温度系数 (Proportional To Absolute Temperature, PTAT) 的电压, 得到一个零温度系数的输出电压<sup>[1]</sup>。在设计生产过程中, 由于工艺偏差, 一方面是双极型晶体管自身特性与工艺厂提供的参数不匹配, 另一方面是在制造过程中掺杂的浓度偏差的问题, 带隙基准源室温输出电压以及温度系数会严重偏离正常的设计值。在标准 CMOS 工艺中, 在整个温度范围内基

准电压源产生基准电压的数值通常会偏离设计值几个百分点<sup>[2-3]</sup>。

为了消除工艺偏差的影响, 校准电路被广泛应用在基准源设计中。在 CMOS 工艺下的带隙基准电路中, 通常使用双极型三极管的基极-发射极电压来产生正温度系数的电压。因为工艺偏差等原因, 双极型晶体管  $V_{BE}$  电压的偏移主要是正温系数的变化, 但是 CMOS 工艺运放的失配电压却并不是正温系数的, 所以各种误差的偏差方向不一致, 因此单一的室温校准往往不能满足需求, 校准后测试的结果偏差会比较大且方向不一致。所以为了能达到更精确的温度系数, 在后期电路校正中通常会应用多温度点电压校准的方法, 但是这种方法提高了芯片制造的成本<sup>[2-3]</sup>。

为了仅使用室温校准的方法进行电路校准, 尽量减小运放的失配电压是电路设计改进中一个重要的部分。虽然可以根据运放输入管的尺寸进行运放

项目来源: 国家电网有限公司总部管理科技项目 (5700-202041261A-0-0-00)

收稿日期: 2022-08-30 修改日期: 2022-12-20

失配电压的预估,但是工艺参数的偏差以及随机误差使这种估算的准确度极大地降低,无法在实际校准测试中利用预估的失配电压做到准确地计算出校准码。在设计运放时也会利用一些动态电路减小失配电压。在文献[4]中,利用自动零点技术减小运放的失配电压,但是两相的自动零点操作使得该输出电压不连续且在采样过程中增加了低频噪声。为了得到低噪声且连续的基准电压输出,斩波(Chopper)技术被应用到基准源电路中,然而这种技术的应用容易使运放输出产生高频的电压纹波,为了减小这种高频的电压纹波,通常需要使用额外的大电容对输出电压进行稳压处理<sup>[5-6]</sup>。

针对上述问题,提出了一种新型的 CMOS 基准电压源电路,通过斩波技术消除运放偏移,结合曲率校正降低  $V_{BE}$  的温度依赖性,剩余的 PTAT 电压误差可以通过室温修调来消除。利用斩波方法消除运放失调电压产生的纹波可以通过开关电容陷波滤波器有效地消除。该基准源只需一次室温修调即可实现低误差高精度输出,从  $-40\text{ }^{\circ}\text{C}$  到  $85\text{ }^{\circ}\text{C}$  温漂仅有  $1.2\times 10^{-6}/^{\circ}\text{C}$ 。

## 1 带隙基准源的误差源分析

典型的 CMOS 带隙基准电路结构如图 1 所示。

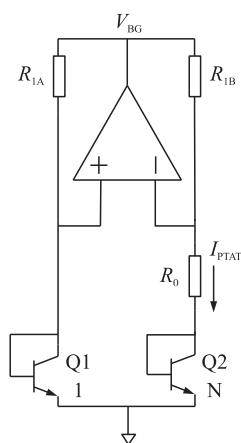


图 1 典型基准电路

带隙电压由下式给出

$$V_{BG} = V_{BE1} + \alpha \cdot \Delta V_{BE} = V_{BE1} + \frac{R_1}{R_0} V_T \ln N \quad (1)$$

式中:  $V_{BE1}$  是 BJT 的基极-发射极电压,  $\alpha = R_1/R_0$  是电阻  $R_1$  和  $R_0$  之间的电阻比,  $\Delta V_{BE} = V_T \ln N$  是  $Q_1$  和  $Q_2$  的基极-发射极电压差,  $V_T$  是热电压,  $N$  是两个双极型晶体管的发射极面积比。影响带隙基准测量精度的误差源主要包括运放的失调和  $V_{BE}$  非线性的温度依赖性。本节将分析这些误差源对带隙基准源精度的影响。

### 1.1 工艺偏差影响 $V_{BE}$

在 CMOS 工艺中,可以用双极型三极管 BJT 设计带隙基准源。BJT 的基极-发射极电压大小在很大程度上取决于其饱和电流和集电极电流<sup>[2-3]</sup>。如果偏离其标称值,可写成:

$$V_{BE} = V_T \ln \frac{I_C}{I_S + \Delta I_S} \approx V_{BE|I_S=0} - V_T \frac{\Delta I_S}{I_S} \quad (2)$$

式中:  $I_C$  是双极型晶体管的集电极电流,  $I_S$  是双极型晶体管的发射结反向饱和电流,其值与温度、发射区及基区的掺杂浓度有关,还与发射结的面积成比例。  $\Delta I_S$  表示  $I_S$  的偏差。由于  $\Delta I_S$  主要由基极掺杂的扩展和晶体管尺寸的扩展引入,因此可以假设  $\Delta I_S/I_S$  主要与温度无关,这表明由于饱和电流偏移而导致  $V_{BE}$  电压偏移,并且该电压偏差的绝对值是 PTAT 类型电压,可以通过单个 PTAT 校准来消除。

图 1 中  $R_0$  和  $R_1$  的电阻变化会影响双极型三极管的集电极电流  $I_C$ ,从而改变  $R_0$  的电压值。将电阻偏移定义为偏差系数  $\delta_R$ ,此时  $V_{BE}$  的电压可以表示为:

$$V_{BE} = V_T \ln \frac{I_C}{I_S(1+\delta_R)} \approx V_{BE|\delta_R=0} - V_T \delta_R \quad (3)$$

$\delta_R$  和温度不相关,表示  $V_{BE}$  的偏移电压的绝对值也是 PTAT 类型的。

双极型三极管的电流增益  $\beta_F$  也会影响  $V_{BE}$  的电压精度,因为虽然  $V_{BE}$  由集电极电流决定,但 PTAT 电流实际上是通过带隙基准中的发射极传送到 BJT 的。如果  $\beta_F$  偏离其标称值,  $V_{BE}$  可写成

$$V_{BE} = V_T \ln \left( \frac{I_E}{I_S} \cdot \frac{\beta_F + \Delta\beta_F}{1 + \beta_F + \Delta\beta_F} \right) \approx V_{BE|\Delta\beta_F=0} + V_T \cdot \frac{1}{1 + \beta_F} \cdot \frac{\Delta\beta_F}{\beta_F} \quad (4)$$

式中:  $I_E$  是 BJT 的发射极电流,  $\Delta\beta_F$  表示  $\beta_F$  的偏移。在一次的 PTAT 修调之后,剩余的  $V_{BE}$  误差电压  $V_{ER}$  可以表示为:

$$V_{ER} = V_T \cdot \frac{\Delta\beta_F}{\beta_F} \cdot \left[ \frac{1}{1 + \beta_{F|T=125\text{ }^{\circ}\text{C}}} - \frac{1}{1 + \beta_{F|T=27\text{ }^{\circ}\text{C}}} \right] \quad (5)$$

式中:  $\Delta\beta_F/\beta_F$  是和温度不相关的。当工艺参数  $\beta_F$  以及预计的  $\Delta\beta_F/\beta_F = 40\%$  表示在  $V_{BE}$  电压经过一次校准以后依然有 0.8 mV 的误差。这个误差电压是非常依赖工艺变化的,是一个限制一次校准精度的因素。

尽管  $\beta_F$  以及  $\Delta\beta_F/\beta_F$  的值会存在和工艺有偏差的问题,导致电压值的偏差,但是同一批芯片的工艺值偏差基本一致,在后期校准的过程中,可以通过单

个晶体管的电压测量得到工艺参数的误差, 从而减去该误差值。

### 1.2 运放失配电压

在考虑运放偏置的影响后, 根据图 1 的典型基准带隙电路, 基准电压可以表示为

$$V_{BC} = V_{BE1} + \frac{R_1}{R_0} V_T \ln N + \left( \frac{R_1}{R_0} + 1 \right) V_{OS} \quad (6)$$

式中:  $V_{OS}$  是运放输入端的失调电压。由于  $V_{OS}$  是由闭环增益  $(R_1/R_0 + 1)$  放大, 一个典型的运放失调电压 (几毫伏) 应用在带隙输出电压上会增加高达几十毫伏的误差。由于 CMOS 运算放大器的失调电压漂移通常是非 PTAT 的, 因此很难用单个 PTAT 修调来减小它。需要通过失调电压消除技术来消除失调电压<sup>[7]</sup>, 这将在第二节中讨论。

### 1.3 $V_{BE}$ 的电压曲率

关于使用 PTAT 电压去对双极型晶体管的  $V_{BE}$  电压进行补偿, 是在假设  $V_{BE}$  电压和温度是仅有一次系数的负相关关系。然而, 实际上  $V_{BE}$  电压随温度的变化是存在非线性的, 所以带隙电压并不是完全与温度无关的。若在与温度无关的偏置电流下,  $V_{BE}$  与温度的表达式如下式:

$$V_{BE} = V_{g0} - (V_{g0} - V_{BE, T_r}) \frac{T}{T_r} - \eta V_T \ln \frac{T}{T_r} \quad (7)$$

若在 PTAT 偏置电流下, 基发射极电压可以表示为:

$$V_{BE} = V_{g0} - (V_{g0} - V_{BE, T_r}) \frac{T}{T_r} - (\eta - 1) V_T \ln \frac{T}{T_r} \quad (8)$$

式中:  $V_{g0}$  是已经推断出来的在绝对零度下的带隙基准电压,  $T_r$  是预设计的参考温度点,  $\eta$  是工艺参数相关的常量。上式的最后一项是带隙基准电压对温度依赖的表达式, 可以写成下式:

$$V_c(T) = \frac{(\eta - 1) V_T}{T_r} \left[ T - T_r - T \ln \frac{T}{T_r} \right] \quad (9)$$

上述关于  $V_c$  和温度的表达式在整个应用的温度范围 (通常是  $-40^\circ\text{C}$  到  $125^\circ\text{C}$ ) 内,  $V_c$  变化会达到数个毫伏。这个变化需要依靠曲率校正去减小电压的变化, 将会在第二节中具体描述。

## 2 误差校准技术

上述误差源中, 工艺偏差引起的  $V_{BE}$  电压的偏差和由于电阻失配引起的 PTAT 误差可通过室温修调进行校正。运放的失配电压偏移引起基准电压绝对值的变化, 造成输出电压的离散度增大, 需要额外的失配电压消除技术对其进行减小甚至消除处理。

$V_{BE}$  电压的曲率大, 造成全温区的温度系数高, 需要额外的曲率补偿电路, 减小  $V_{BE}$  电压本身二次甚至高次项的温度系数。本文设计的基准源电路结合了以上消除技术, 通过一次室温修调就可以实现基准电压在全温区高精度输出。

### 2.1 室温修调

PTAT 误差都可以通过 PTAT 室温修调来消除, 如第一节所提到双极型三极管的电压  $V_{BE}$ , 因为受工艺偏差的影响, 反向饱和电流  $I_s$  的偏差以及电阻的扩散因子  $\delta_R$  存在, 电压  $V_{BE}$  的偏差为 PTAT 类型。通过校准修调电路中电阻的分辨率和预计的电压偏移量, 可以计算所需的修调位数, 如下所示:

$$B \approx \log_2 \frac{V_{\text{Spread}}}{V_{\text{Res}}} \quad (10)$$

式中:  $B$  是校准网络的校准比特数,  $V_{\text{Spread}}$  是预计的电压偏移量,  $V_{\text{Res}}$  是电阻的分辨率。为了达到在  $-40^\circ\text{C}$  到  $85^\circ\text{C}$  温度范围内电压偏差在  $\pm 0.15\%$  以内, 考虑电阻上的电压差为  $V_{\text{Res}} = V_{BC} \times 0.15\% \times 1/5 = 3.5 \text{ mV}$ , 如果预计基准电压的最差偏差是  $20 \text{ mV}$ , 则至少需要校准网络大约为 6 位。根据实际情况, 例如考虑到实际的工艺参数偏差带来的范围会更大, 会增加校准网络的位数。

图 2 所示是加入校准网络的带隙基准电路结构。该电路可以通过改变基准电路中的一个电阻器来完成修调。由于关断状态 MOSFET 开关的漏电流可能为负, 因此应考虑校准中的开关漏电流, 所以需要谨慎选择校准的电阻。若校准的是电阻  $R_0$ , 会因为开关的漏电在支路上产生额外的电压, 例如校准电阻  $R_T$ , 把漏电电流设为  $I_L$ , 该电流流过校准电阻  $R_T$  以及电阻  $R_0$ , 则会在支路上出现  $I_L \times (R_0 + R_T)$

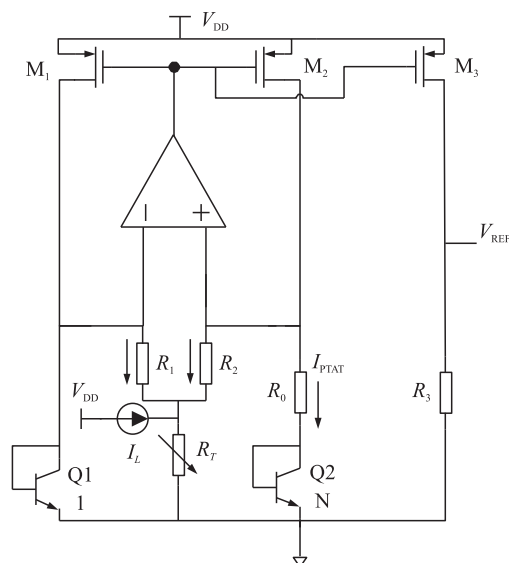


图 2 校准网络的电阻示意图

的电压差。对于某些工艺来说,该电压差无法被忽略,因为 MOS 管的漏电会有几纳安,  $(R_0 + R_r)$  的电阻值会有几十千欧姆,所以该压降会达到几百微伏。而且,  $R_0$  作为产生 PTAT 电压的重要电阻,支路的电压降一旦发生变化,会对带隙基准电压产生很大的影响。相对来说,如果在  $R_1$ 、 $R_2$  上加入校准网络,对应的压降是对称的,所以相对于其他电阻来说,  $R_1$  和  $R_2$  更适合作为校准网络的电阻。

## 2.2 运放失调电压消除

斩波技术用于减少运算放大器的偏移,如图 3 所示。与自动调零技术相比,斩波可获得更高的噪声性能<sup>[8]</sup>,同时确保基准内部的运放直流增益能连续为 80 dB。如下图所示,输入对管以及负载管被斩波,以减小由于晶体管失配引起的偏移。

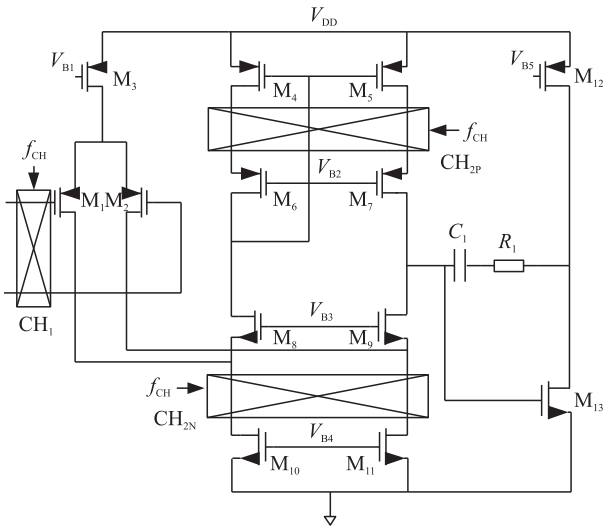


图 3 斩波技术的应用示意图

由于信号通路在  $CH_1$  和  $CH_2$  是完全差分的,所以完全差分对称结构的 MOS 管  $M_1$ 、 $M_2$  以及  $M_{10}$ 、 $M_{11}$  的失配误差可以通过斩波技术完全消除,但是 MOS 管  $M_4$ 、 $M_5$  的自偏置结构使其失配误差无法完全消除。在斩波的高电平时 ( $PH_1$ ),由于  $M_4$ 、 $M_5$  分别连接  $M_6$ 、 $M_7$ ,其漏端的电流可以表达为:

$$\sqrt{I_{D6}} = \sqrt{I_{D4}} = \sqrt{\beta} (V_{GS4} - V_{TH4}) \quad (11)$$

$$\sqrt{I_{D7}} = \sqrt{I_{D5}} = \sqrt{\beta} (V_{GS5} - V_{TH5}) \quad (12)$$

式中:  $\beta$  是 MOS 管的跨导系数,  $V_{TH4}$ 、 $V_{TH5}$  是 MOS 管的阈值电压,因为 MOS 管的  $V_{GS4} = V_{GS5}$ ,所以  $I_{D7}$  可以表示为:

$$I_{D7|PH1} = I_{D6} + \beta (V_{TH4} - V_{TH5})^2 + 2\sqrt{\beta I_{D6}} (V_{TH4} - V_{TH5}) \quad (13)$$

在斩波的低电平时 ( $PH_2$ ),  $I_{D7}$  可以表示为:

$$I_{D7|PH2} = I_{D6} + \beta (V_{TH5} - V_{TH4})^2 + 2\sqrt{\beta I_{D6}} (V_{TH5} - V_{TH4}) \quad (14)$$

因为 MOS 管  $M_4$ 、 $M_5$  此时交换了连接的方式,所以剩余的漏电流失配误差可以表示为:

$$\Delta I_{D4,5} = \frac{I_{D7|PH1} + I_{D7|PH2}}{2} - I_{D6} = \beta \Delta V_{TH4,5}^2 = \frac{g_{m4,5}^2 \Delta V_{TH4,5}^2}{4I_{4,5}} \quad (15)$$

式中:  $\Delta V_{TH4,5} = V_{TH4} - V_{TH5}$  代表阈值电压的失配误差,  $g_{m4,5}$  和  $I_{4,5}$  分别是 MOS 管  $M_4$ 、 $M_5$  的跨导以及漏端电流。经过斩波后剩余运放的失配电压可以表示为:

$$V_{OSI\text{Residue}} = \frac{\Delta I_{D4,5}}{g_{m1,2}} \approx \frac{\beta \Delta V_{TH4,5}^2}{g_{m1,2}} = \frac{g_{m4,5}^2 \Delta V_{TH4,5}^2}{4g_{m1,2} I_{4,5}} \quad (16)$$

运放的失配电压经过电阻以及双极型三极管的比例放大后,一般会放大 50 倍左右,若需要基准电源电压的绝对值由于失配电压偏离  $\pm 3\sigma$  小于  $\pm 0.1\%$ ,则需要剩余的失配电压小于 24  $\mu\text{V}$ ,根据上述公式计算可以推算出运放关键 MOS 管的尺寸大小。

斩波技术对于集成电路内部的应用比较友好且方便,因为 ADC 芯片内部一般会自带时钟信号电路,芯片内部通过分频即可得到基准内部斩波电路所需要频率的时钟信号,相对于文献[9]的结构,通过在运放中增加一对双极型三极管来说,本结构增加的面积更小,只需要增加几组开关以及逻辑门,实现的结构更简单。

## 2.3 曲率校正

$V_{BE}$  电压可以利用两个具有不同集电极电流的 BJT 之间的差异来校正曲率<sup>[10]</sup>。

根据第一节  $V_{BE}$  曲率的误差中所描述的,若采用一条与温度完全无关的电流对双极型晶体管  $Q_3$  进行偏置,  $V_{BE}$  电压与温度的关系代入到本结构中可以如下式:

$$V_{BE,Q3}(T) = V_{g0} - (V_{g0} - V_{BE,T_r}) \frac{T}{T_r} - \eta V_T \ln \frac{T}{T_r} \quad (17)$$

而  $Q_{1,2}$  的  $V_{BE}$  电压与温度的关系如下式所示:

$$V_{BE,Q1,2}(T) = V_{g0} - (V_{g0} - V_{BE,T_r}) \frac{T}{T_r} - (\eta - 1) V_T \ln \frac{T}{T_r} \quad (18)$$

通过两个  $V_{BE}$  相减来实现曲率补偿,其中一个为  $Q_{1,2}$  的  $V_{BE}$ ,利用的是 PTAT 集电极电流,而另一个是  $Q_3$  的  $V_{BE}$ ,利用的是通过强制获得的与温度无关的集电极电流以及低温系数电阻器。

相减后得到的电压如下式所示:

$$V_{NL} \cong V_{BE,Q3}(T) - V_{BE,Q1,2}(T) = V_T \ln \frac{T}{T_r} \quad (19)$$

相减得到的这个  $V_{NL}$  的表达式正是可以去消除  $V_{BE}$  中的高次项的部分,通过在双极型晶体管的电流  $I_{1,2}$  减去和高次项温度相关的部分,即可消除  $V_{BE}$  中的高次项。在图 4 中,引入了电阻  $R_{4,5}$ ,基准电压的输出表达式:

$$V_{OUT} = V_T \left( \frac{R_3 \ln(N)}{R_0} \right) + V_{BE} \left( \frac{R_3}{R_1} \right) + V_{NL} \left( \frac{R_3}{R_{4,5}} \right) = \frac{R_3}{R_1} \left( \frac{R_1 \ln(N)}{R_0} V_T + V_{BE} + \frac{R_1}{R_{4,5}} V_{NL} \right) \quad (20)$$

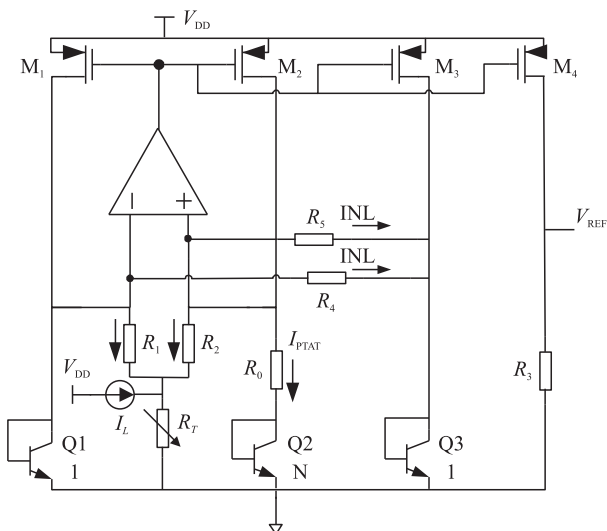


图 4 带高阶曲率补偿的基准电路

经过对上式的整理,电阻的比例可以表示为下式:

$$R_{4,5} = \frac{R_1}{\eta - 1} \quad (21)$$

上述的曲率补偿方法,仅需要增加一路额外的电流镜和两个电阻即可实现。该结构比文献[11]的方法要简单,而且其需要 MOS 管的工作状态在亚阈值区,当工艺、电源电压以及温度发生变化时,很难保证 MOS 管的工作状态,因为其不稳定性,所以该方法很难在工业级应用领域广泛使用。此外,本结构所得到的校准结果要远优于<sup>[12-17]</sup>,得到的曲率补偿的效果要好。

### 3 测试结果

该基准电路由 5 V, TSMC 0.18 μm 工艺制作而成。该基准源的版图如图 5 所示,其整体面积为 0.245 mm<sup>2</sup>,其中温度补偿电路面积为 0.025 mm<sup>2</sup>、校准的 TRIM 电路面积为 0.06 mm<sup>2</sup>、运放面积为 0.033 mm<sup>2</sup>、镜像电路面积为 0.042 mm<sup>2</sup>。



图 5 高精度基准的版图布局

样品验证时从中选择了 80 颗样品进行测试。斩波电路的频率设置为 512 kHz,为了验证斩波电路对运放失配电压消除的有效性,采用相同的芯片样本打开或者关断 Chopper 电路,测试不同状态下的基准电压输出,图 6(a)展示了关闭 Chopper 的基准电压绝对值的分布,电压平均值为 1.097 7 V,标准差为 3.89 mV,输出电压的 ±3σ 范围为 ±1.06%;

图 6(b)为打开 Chopper 的基准电压分布,电压的平均值为 1.096 8 V,标准差为 1.1 mV,输出电压的 1/3 范围为 ±0.31%。Chopper 电路把 ±3σ 缩小到原偏差范围的 1/3 左右。

在本文中,相比校准后电压的绝对值,更关注校准后电压温漂的变化,因为很多工业级装置系统中需要保持全温度范围基准电压的稳定性。

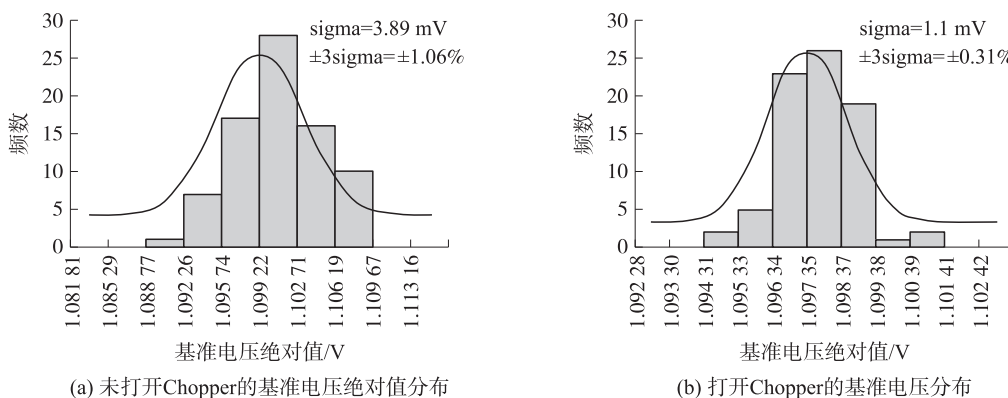


图 6 基准电压绝对值的分布

根据预设计的偏差预估以及参数测试结果对默认的校准码进行修改,对 5 颗随机挑选出来的样品芯片进行了从-40 °C到 85 °C范围内,定点的温度扫描测量电压值。为了更好地观察电压随温度的变化,对测试的电压结果进行了归一化处理。图 7(a)是未进行归一化处理的数据,因为电压的绝对值有一定程度的离散性,图 7(b)是进行过归一化处理的数据,可以比较清晰地看到电压随温度的变化趋势:

校准后电压对温度的曲线的形状趋势基本一致,消除掉了部分二次曲率,根据本文提出的温度补偿结构,最小的温度系数测试结果仅有  $1.6 \times 10^{-6}/^{\circ}\text{C}$ ,平均温度系数  $2.4 \times 10^{-6}/^{\circ}\text{C}$ 。

根据设计以及应用,要求基准的噪声积分到 100 kHz 时,积分噪声不再增加,所以测试中对噪声

的计算测量如图 8 所示。图 8(a)是没有开 chopper 的基准源噪声 FFT 曲线,chopper 不开积分噪声测试结果为-82 dBV,转换为能量为  $6.3 \text{ nV}^2$ ;图 8(b)是打开 chopper 的测试结果,基准的积分噪声测试结果为-86 dBV,转换为能量为  $2.5 \text{ nV}^2$ 。测试结果证明斩波技术确实能减小噪声,在本结构中将噪声降到原来的 40%。

与其他同类型基准源电路的文献对比结果如表 1 所示,本文所提出的结构所得到的温度系数是所有结构中最好的。本文所提的高精度基准主要针对 5 V 电源的应用,而对比文献中一些低功耗的基准电路可能更注重低压低功耗的设计,且该芯片应用在高精度的 ADC 芯片中,为了芯片整体的工作性能,高精度基准源不适宜工作电流过低,所以整体功耗较高。

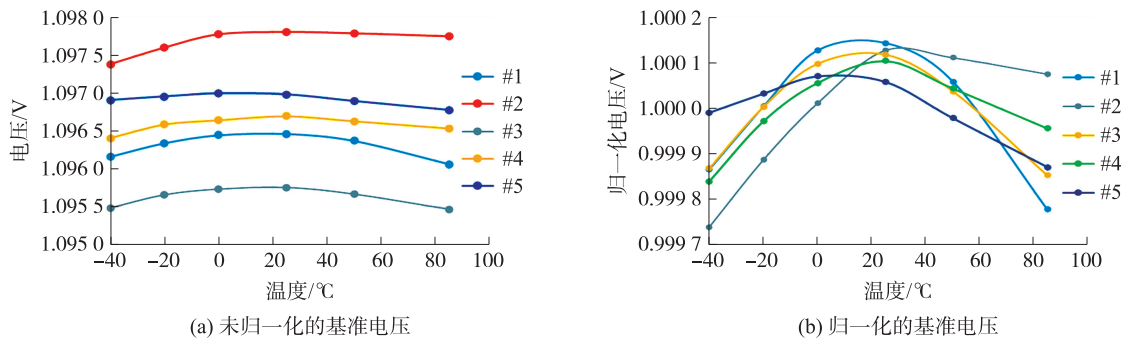


图 7 基准电压和温度之间的关系图像

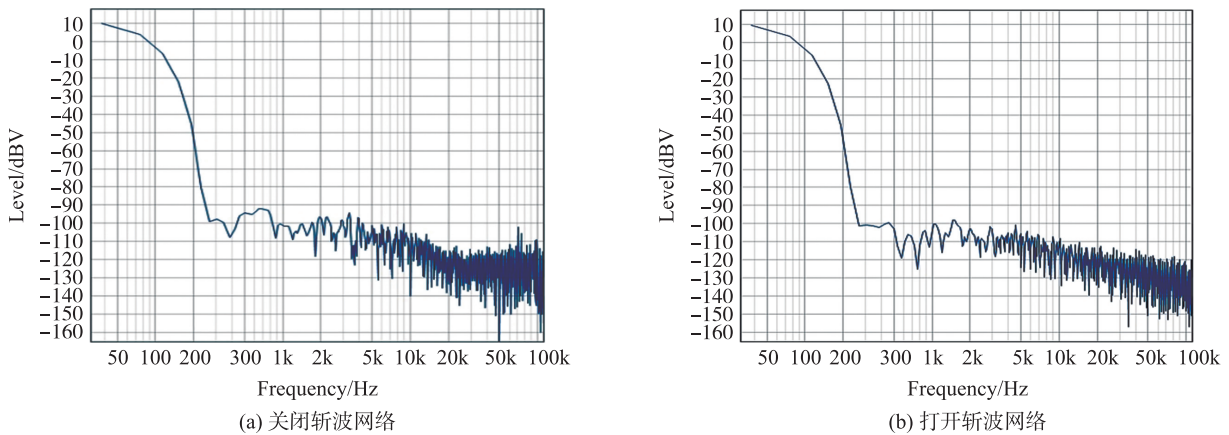


图 8 基准电压 FFT 图像

表 1 与其他高精度基准源的参数对比

	本文	文献[ 12]	文献[ 13]	文献[ 14]	文献[ 15]	文献[ 16]
工艺	0.18 $\mu\text{m}$	0.13 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.35 $\mu\text{m}$
温度范围/ $^{\circ}\text{C}$	-40~85	-40~120	-40~120	-50~125	-40~85	-40~125
温度系数( $10^{-6}/^{\circ}\text{C}$ )	1.6	4.2	4.5	5.9	10	5.33
电源电压/V	5	1.2	1.2	1.6~2.3	1.65~3.6	—
工作电流/ $\mu\text{A}$	150	120	36	13	—	—
电源抑制比/dB	-78	-30	-84	-28	—	-57

## 4 结论

本文介绍了一种高精度低噪声 CMOS 带隙基准源。重点讨论了三个关键问题: 消除  $V_{BE}$  的 PTAT 误差的室温修调、减小基准电路中运放失调电压的斩波技术和减小基发射极电压温度非线性的曲率校正。单室温度修调实现了从  $-40\text{ }^{\circ}\text{C}$  到  $85\text{ }^{\circ}\text{C}$  的温度系数小于  $3\times 10^{-6}/^{\circ}\text{C}$ 。所提出的误差抑制技术组合可用于低成本、高效率、高精度 CMOS 带隙基准源设计, 对于高精度 ADC 的转换而言, 转换出的数字码精度高, 对 ADC 的噪声贡献少, 保证了 ADC 具有良好的动态特性。

## 参考文献:

- [1] Kuijk K E. A Precision Reference Voltage Source [J]. IEEE Journal of Solid-State Circuits, 1973, 8 (3): 222-226.
- [2] Perry R T, Lewis S H, Brokaw A P, et al. A 1.4 V Supply CMOS Fractional Bandgap Reference [J]. IEEE Journal of Solid-State Circuits, 2007, 42 (10): 2180-2186.
- [3] Spady D, Ivanov V. A CMOS Bandgap Voltage Reference With Absolute Value and Temperature Drift Trims [C]//2005 IEEE International Symposium on Circuits and Systems, Kobe, Japan, IEEE, 2005: 3853-3856.
- [4] Witte J F, Huijsing J H, Makinwa K. A Chopper and Auto-Zero Offset-Stabilized CMOS Instrumentation Amplifier [C]//2019 Symposium on VLSI Circuits, Kyoto, Japan, IEEE, 2009: 210-211.
- [5] Ceekala V G, Lewicki L D, Wieser J B, et al. A Method for Reducing the Effects of Random Mismatch in CMOS Bandgap References [C]//2002 IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, IEEE, 2002, 1: 392-393.
- [6] Jiang Y M, Lee E K F. A Low Voltage Low 1/f Noise CMOS Bandgap Reference [C]//2005 IEEE International Symposium on Circuits and Systems, Kobe, Japan, IEEE, 2005: 3877-3880.
- [7] Enz C C, Temes G C. Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization [J]. Proceedings of the IEEE, 1996, 84 (11): 1584-1614.
- [8] Wang G, Meijer G C M. The Temperature Characteristics of Bipolar Transistors Fabricated in CMOS Technology [J]. Sensors and Actuators A: Physical, 2000, 87 (1-2): 81-89.
- [9] 张哲, 余先银, 张启辉. 一种降低失调影响的低噪声带隙基准电路 [J]. 电子产品世界, 2019, 26 (10): 62-65.
- [10] Ge G, Cheng Z, Hoogzaad G, et al. A Single-Trim CMOS Bandgap Reference with a  $3\sigma$  Inaccuracy of  $\pm 0.15\%$  from  $-40\text{ }^{\circ}\text{C}$  to  $125\text{ }^{\circ}\text{C}$  [J]. IEEE Journal of Solid-State Circuits, 2011, 46 (11): 2693-2701.
- [11] Wang R, Lu W, Niu Y, et al. A 2.1-ppm/ $^{\circ}\text{C}$  Current-Mode CMOS Bandgap Reference with Piecewise Curvature Compensation [C]//2017 IEEE International Symposium on Circuits & Systems, Baltimore, MD, USA, IEEE, 2017, 1-4.
- [12] Duan Q, Roh J. A 1.2-V 4.2-ppm/ $^{\circ}\text{C}$  High-Order Curvature-Compensated CMOS Bandgap Reference. [J]. IEEE Transactions on Circuits & Systems I: Regular Papers, 2015, 62 (3): 662-670.
- [13] Ma B, Yu F. A Novel 1.2-V 4.5-ppm/ $^{\circ}\text{C}$  Curvature-Compensated CMOS Bandgap Reference [J]. IEEE Transactions on Circuits & Systems I: Regular Papers, 2014, 61 (4): 1026-1035.
- [14] Thushara K C, Daniel S K. Design of  $5.9\times 10^{-6}/^{\circ}\text{C}$  Piecewise Curve Rectified Start-Up Free Bandgap Voltage Reference in 180 nm CMOS Process [C]//2018 International Conference on Emerging Trends and Innovations In Engineering And Technological Research (ICETIETR), Ernakulam, India, IEEE, 2018: 1-5.
- [15] Boncu M, Botezatu C, Draghici F. A Precise Method for Compensating Bandgap References over Temperature [C]//2020 International Semiconductor Conference (CAS), Sinaia, Romania, IEEE, 2020: 245-248.
- [16] 徐超, 吴灯鹏, 李新昌, 等. 带有修调的分段曲率补偿带隙基准电路 [J]. 哈尔滨工业大学学报, 2020, 52 (4): 112-118.
- [17] 黄东, 胡彤, 刘丹, 刘伟, 等. 一种适用于  $-55\sim 125\text{ }^{\circ}\text{C}$  的双极工艺带隙基准电压源 [J]. 西安邮电大学学报, 2020, 25 (3): 50-54.



尹芸婷 (1991—), 女, 硕士, 研究方向为高精度基准, yyt0219@126.com;



胡毅 (1982—), 男, 高级工程师, 硕士, 研究方向为模拟、射频电路设计和开发;



李振国(1979—),男,硕士,研究方向为模拟集成电路设计;



张喆(1981—),男,高级工程师,硕士,研究方向为模拟、射频电路设计和开发;



李德建(1977—),男,高级工程师,硕士,研究方向为超大规模集成电路设计和验证;



罗少杰(1976—),男,高级工程师,硕士,研究方向为电力系统及其自动化。