Design of High-Speed Accumulator Circuit in Direct Digital Synthesizer*

YAO Kai, HOU Qiang, ZHANG Ruitao*, WAN Qiang
(School of Mechanical Engineering and Electronic Information, China University of Geosciences (Wuhan), Wuhan Hubei 430074, China)

Abstract: Direct digital frequency synthesis is a fully digital frequency synthesis technology, which has the advantages of high frequency resolution, fast conversion speed, phase continuity, flexible and adjustable accuracy, etc. It is widely used in communications, radar, measuring instruments and other fields, and the phase accumulator circuit is an important part of the frequency synthesizer, and its working frequency determines the maximum frequency of the output signal of the frequency synthesizer. On the basis of using the pipeline architecture to realize the phase accumulator, the gated clock technology and parallel computing technology are used to further reduce the number of registers, circuit area and power consumption, and greatly improve the working frequency of the phase accumulator circuit. The simulation results show that compared with the traditional accumulator design, the improved pipeline accumulator circuit proposed has a small increase in circuit area, but the operating frequency is increased by 4 times and the power consumption is reduced by 47.7%, which can meet the application requirements of direct frequency synthesizer in high-end fields.

Key words: direct digital frequency synthesis (DDS); phase accumulator; pipeline; gated clock; parallel computing
EEACC: 1265A **doi**: 10.3969/j.issn.1005-9490.2026.03.004

直接数字频率合成器中高速累加器电路设计*

姚 凯, 侯 强, 张瑞涛*, 宛 强
(中国地质大学(武汉)机械与电子信息学院, 湖北 武汉 430074)

摘 要: 直接数字频率合成是一种全数字化方式实现的频率合成技术, 具有频率分辨率高、转换速度快、相位连续、精度灵活可调等优点, 被广泛用于通信、雷达、测量仪器等领域, 而相位累加器电路是频率合成器的重要组成部分, 其工作频率决定了频率合成器输出信号的最大频率。在采用流水线架构实现相位累加器基础上, 通过门控时钟技术和并行计算技术, 进一步降低了寄存器数量、电路面积和功耗, 并能大幅提高相位累加器电路工作频率。仿真结果表明, 所提出的改进流水线累加器电路与传统累加器设计相比, 电路面积增加不大, 但工作频率提升了 4 倍, 且功耗降低 47.7%, 能够满足直接频率合成器在高端领域的应用需求。

关键词: 直接数字频率合成; 相位累加器; 流水线; 门控时钟; 并行计算
中图分类号: TN742.1 **文献标识码**: A **文章编号**: 1005-9490(2026)03-0508-05

直接数字频率合成(Direct Digital Frequency Systhesis, DDS)是一种全数字化方式实现的频率合成技术, 它在频率转换时间、频率分辨率、相位连续性、相位噪声等诸多性能都大大超越了传统频率合成技术水平, 因此它在雷达、通信、电子仪器等领域都有着广泛的应用[1]。DDS 是通过相位累加器不断进行相位累加, 然后通过查表法或 CORDIC(Coordinate Rotation Digital Computer)算法完成相位到幅度的转换, 最后通过 D/A 转换器、低通滤波器等直接得到正弦波或者其他周期的波形[2-3]。相位累加器是 DDS 电路重要的组成部分, 理想的相位累加器要求位宽较高, 这样输出信号的频率分辨率就较高, 同时相位累加器还需要能够工作在较高频率, 这样输出信号的频率范围也越大, 能够输出更高带宽信号。

如何让高位宽的相位累加器能工作在较高的频率, 是 DDS 电路设计的关键技术之一。为了提高输出信号的频率分辨率, 一般采用 32 bit 位宽的相位累加器, 有的甚至采用 48 比特的位宽。为了提高相位累加器的工作频率, 有的采用多路并行的架构, 但多路并行也大大提高了电路面积和功耗[4]。本文以 32 比特位宽的相位累加器为例, 采用了流水线实现方式, 结合采用门控时钟技术和并行计算技术, 实现了一种高速高效的相位累加器设计。在 TSMC 28 nm 工艺下, 整体电路面积仅为 550 μm^2, 功耗仅

项目来源: 模拟集成电路国家重点实验室稳定支持项目(IJCKY2019210C058)
收稿日期: 2024-02-28 **修改日期**: 2024-04-22

为 0.728 mV。跟传统流水线相位累加器实现方法相比,改进电路的寄存器减少了 53.7%,工作频率提升了 4 倍,可达 6.668 GHz,能够满足高速、低功耗领域的高端应用需求。

1　DDS 工作原理及累加器电路实现

传统 DDS 电路由累加器、波形存储器/变换器、D/A 转换器、低通滤波器等基本电路组成,如图 1 所示。

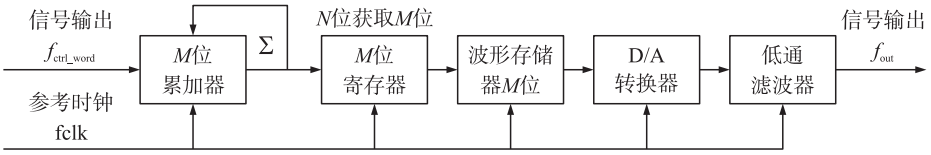

图 1　传统 DDS 电路结构图

在时钟上升沿触发之下,相位累加器的值和频率控制字相加,得到新的相位累加器值,再在下一个时钟上升沿来临时,再用新的相位累加器值和频率控制字相加。*M* 位寄存器是截取 *N* 位累加器的最高 *M* 位来作为“地址”,根据“地址”找到波形存储器对应的信号幅度值,完成相位与幅度之间的映射[5],如图 2 所示。

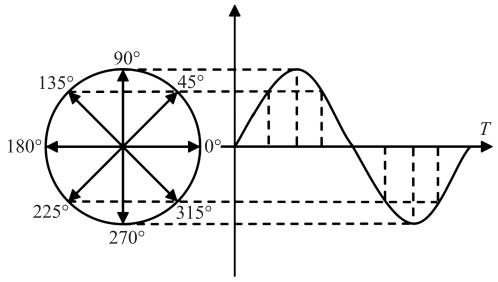

图 2　相位幅度映射图

输出信号的频率如式(1)所示,其中 f_{out} 为输出信号的频率,*N* 为相位累加器的位宽,f_{clk} 为相位累加器的工作频率[6]。可见,相位累加器的工作频率 f_{clk} 决定了输出信号的最大频率范围。

$$f_{out}=\frac{f_{ctrl_word}}{2^N}f_{clk} \tag{1}$$

相位累加器的位宽 *N* 决定了输出信号的频率分辨率,即频率分辨率为 $f_{clk}/2^N$。显然,当相位累加器的位宽 *N* 越高时,输出信号的频率分辨率也就越高,输出信号就越精细。为了满足高精度、高分辨率的需求,一般采用 32 位宽的相位累加器,有时甚至采用 48 位宽的相位累加器。以 32 bit 相位累加器为例,需要每个时钟周期完成 32 位输出和频率控制字的累加,很难满足高频工作时钟的时序要求。为了提高其工作频率,我们往往采用流水线实现相位累加器[7]。如图 3 所示,流水线累加器将 32 位的累加器分 4 级运算,每级只需进行一个 8 位全加器运算,即通过分步完成逻辑运算。在输出 16 位信号时,两个低 8 位的全加器只需要考虑进位信号,减少了部分运算,从而使得工作频率提高,但流水线累加器的代价是增加了不少寄存器数量,从而增加了电路面积以及功耗[8]。图 3 中虚线框即为需要增加的寄存器电路单元 。

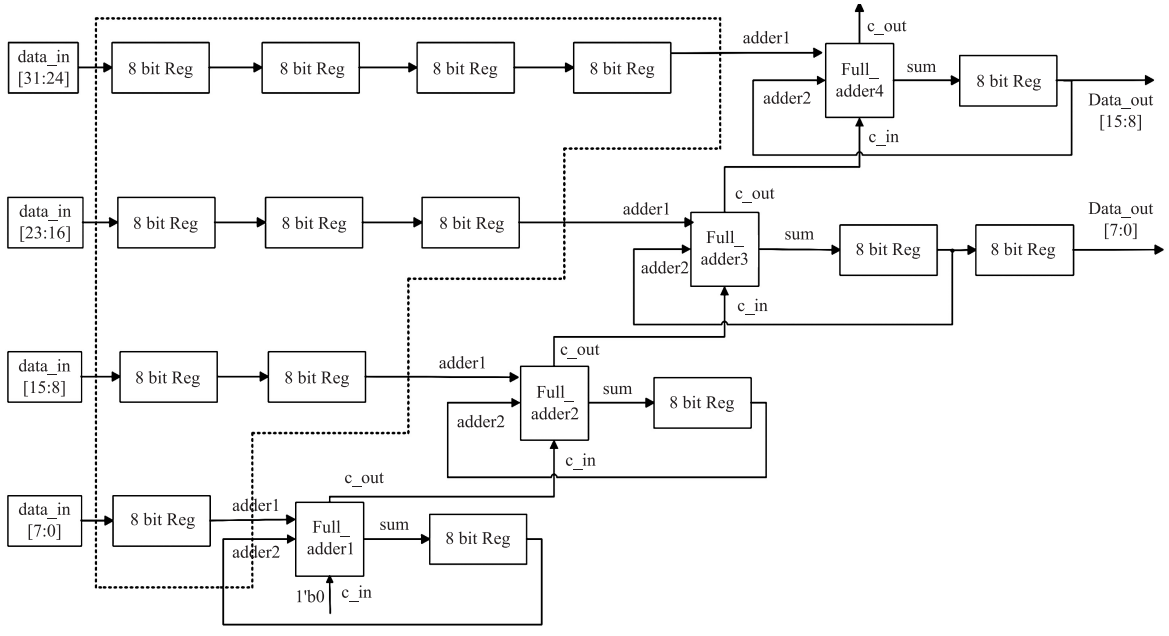

图 3　流水线累加器结构图

2 改进的流水线相位累加器实现方法

如上所述,流水线实现的相位累加器因为增加了不少寄存器,因而增加了不少电路面积和功耗。通过门控时钟技术可以控制数据的运算时刻,从而可以替代寄存器的延时作用,省去寄存器的使用[9]。同时通过采用全加器的并行计算,可以大大提高电路的工作频率[10-11]。本文提出的改进的 32 位流水线相位累加器原理框图见图 4,通过利用门控时钟技术,产生四级运算的对应时钟,来减少每一级寄存器的翻转,并减少部分寄存器的使用。通过并行计算,每一级的全加器处理对应的 8 bit 数据,产生的进位信号通过流水线的方式传递到高 8 bit 级,作为它的输入。在输出 16 bit 信号时,只需截取 32 位流水线累加器的最高 16 位数据,因此只关心最高 16 位数据输出。在数据输出时,由于 4 级流水,时钟保持 4 个时钟周期,每个时钟周期的值可以通过上一个时钟周期的值得到,两者之间含有倍率部分,该部分可通过移位寄存器完成倍率转换。

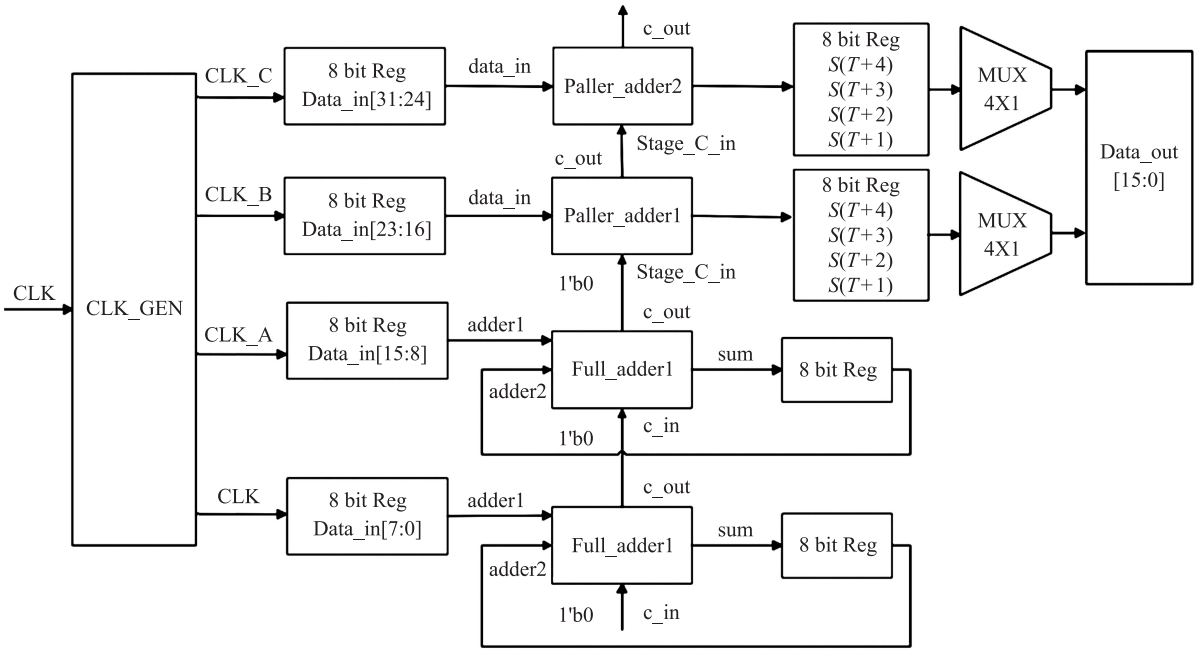

图 4 改进的 32 位流水线相位累加器设计结构图

门控时钟时序如图 5 所示,在第一级,每个时钟周期均做一次运算;在第 2 级每两个时钟周期做一次运算;第 3 级每三个时钟周期进行一次运算;第 4 级每四个时钟周期做一次运算。通过该操作可将图 3 所示的虚线框处的寄存器给优化减少。

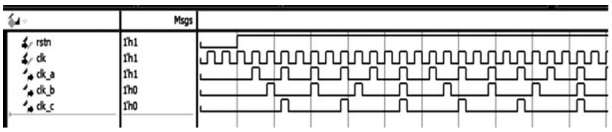

图 5 门控时钟时序图

图 4 中全加器内部采用并行计算,采用并行计算技术可以提高电路的运算速度,可以解决工作频率不高、电路面积大和功耗高的问题。并行全加器由于是多路计算,最终的计算需要四个时钟周期完成,当多路信号的电平值发生变化时,在信号变化的瞬间,组合逻辑的输出有先后顺序,并不是同时变化,往往会出现一些不正确的尖峰信号,这些尖峰信号称为毛刺[12-13]。为了避免毛刺的产生,将频率控制字保持四个时钟周期再发生变化[14]。图 4 中 $S(T+1)$、$S(T+2)$、$S(T+3)$和 $S(T+4)$的表达式如式(2)所示,其中时钟周期为 T,频率控制字值为 $f_{\text{ctrl_word}}$,全加器输出值为 $S(T)$。

$$\begin{cases} S(T+1)=f_{\text{ctrl_word}}+S(T) \\ S(T+2)=2f_{\text{ctrl_word}}+S(T) \\ S(T+3)=3f_{\text{ctrl_word}}+S(T) \\ S(T+4)=4f_{\text{ctrl_word}}+S(T) \end{cases} \tag{2}$$

3 仿真结果及其分析

本文基于流水线累加器电路,通过进一步采用门控时钟技术和并行运算技术,实现了一种高速流水线相位累加器的设计。通过电路仿真验证了该设计的功能正确性,仿真结果如图 6 所示,四路输出分别对应 data_out1、data_out2、data_out3、data_out4,通过 mux 选择可以实现工作频率的 4 倍。

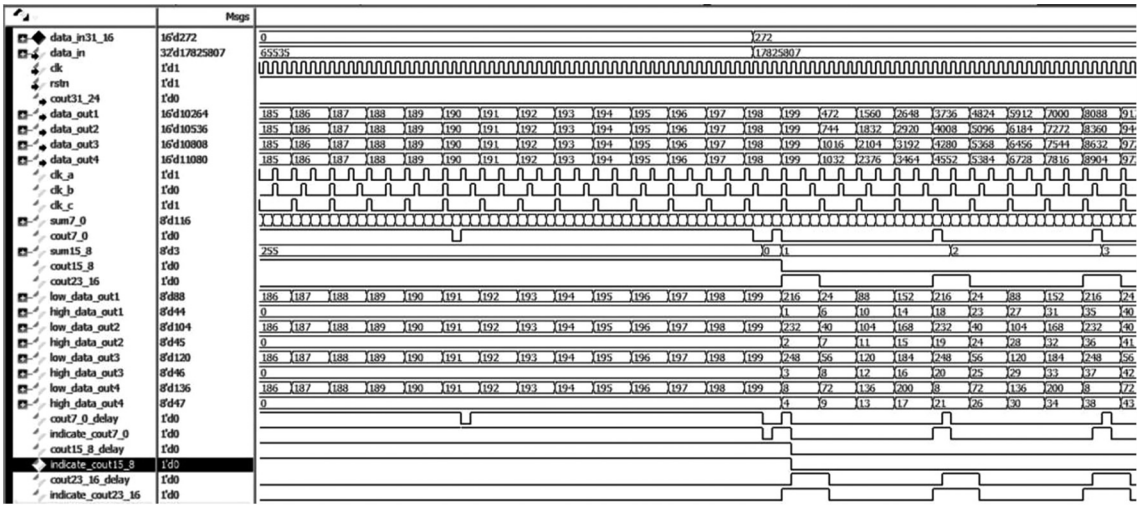

图 6　改进高速流水线累加器电路功能仿真图

在 TSMC28 nm 工艺条件下对流水线累加器及其改进电路进行了电路综合,它们在电路面积、工作频率、电路功耗等方面的统计如表 1 所示[15]。

表 1　流水线相位累加器及其改进电路的性能比较表

	电路面积	工作频率	电路功耗
流水线累加器	421 μm^2	1.667 GHz	1.394 mW
改进的流水线累加器	550 μm^2	6.668 GHz	0.728 mW

在电路面积方面,流水线累加器电路面积为 421 μm^2,改进电路面积为 550 μm^2,它们电路面积变化不大。在电路功耗方面,由于流水线累加器没有采用时钟门控技术,在寄存器翻转上的动态功耗比较大,整个功耗约 1.394 mW。高速流水线累加器采用了门控时钟技术,在功耗上仅有 0.728 mW,减少了 47.7%。在工作频率方面,流水线累加器工作频率为 1.667 GHz,而改进电路采用并行计算技术能够提升 4 倍工作频率,达到 6.668 GHz。

4　结论

在流水线实现相位累加器基础上,通过采用门控时钟技术,以及采用全加器并行计算技术,最终实现了一种高速低功耗的 32 位相位累加器设计。该改进设计跟一般流水线累加器相比,工作频率有 4 倍提升,在 TSMC28 nm 工艺条件下可达 6.668 GHz,整体功耗降低了 47.7%,能够满足直接频率合成器在高端领域的应用需求。

参考文献:

[1] Wang P,Zhang Y M,Yang J. Design and Implementation of Modified DDS Based on FPGA[J]. Procedia Computer Science,2018,131:261-266.

[2] Xiao L,Zhou S. The RF Generation of MRI Spectrometer Using Direct Digital Synthesis and Phase Dither Based on FPGA[C]//2021 International Conference on Communications, Information System and Computer Engineering (CISCE),Beijing,China,2021:477-481.

[3] Strelnikov I V,Ryabov I V,Klyuzhev E S. Direct Digital Synthesizer of Phase-Manipulated Signals, Based on the Direct Digital Synthesis Method[C]//2020 Systems of Signal Synchronization,Generating and Processing in Telecommunications(SYNCHROINFO),Svetlogorsk,Russia,2020:1-3.

[4] Gentile K, Kornblum J. Multiphase, Interleaved Direct Digital Synthesis Methods and Structures: US6587863[P]. 2003-07-01.

[5] Choi J M,Yoon D H,Jung D K,et al. Design and Analysis of Low Power and High SFDR Direct Digital Frequency Synthesizer[J]. IEEE Access,2020,8:67581-67590.

[6] Guo T,Tang K,Zheng Y. A 1 GHz Configurable Chirp Modulation Direct Digital Frequency Synthesizer in 65 nm CMOS[C]//2021 IEEE International Symposium on Circuits and Systems(ISCAS),Daegu,Korea,2021:1-4.

[7] Zhang C,Dai Z,Zhou L,et al. Design of Pipeline Acceleration Circuit for Object Tracking Algorithm based on FPGA[C]//2022 IEEE 4th International Conference on Power,Intelligent Computing and Systems(ICPICS),Shenyang,China,2022:393-396.

[8] Yashwanth K,Adithya N,Sivaraman R,et al. Design and Development of Pipelined Computational Unit for High-Speed Processors[C]//2021 12th International Conference on Computing Communication and Networking Technologies (ICCCNT),Kharagpur,India,2021:1-5.

[9] Panda S,Sharma S,Asati A R. Clock Gating Analysis of TG Based D Flip-Flop for Different Technology Nodes [C]//2020 IEEE 7th Uttar Pradesh Section International

Conference on Electrical, Electronics and Computer Engineering(UPCON), Prayagraj, India, 2020: 1-6.

[10] Saini M, Shringi S, Asati A. An Improved Power Gating Technique with Data Retention and Clock Gating[C]// 2021 International Conference on Control, Automation, Power and Signal Processing (CAPS), Jabalpur, India, 2021: 1-7.

[11] Shi J, Wang B, Du P, et al. FPGA Implementation of High-Bandwidth Vector Control for PMSM Based on Parallel Processing Technology[C]//2023 26th International Conference on Electrical Machines and Systems (ICEMS), Zhuhai, China, 2023: 1587-1591.

[12] Chen J G, Yan Y M. Using Gated Clock in ASIC Design [C]//2022 3rd International Conference on Electronics, Communications and Information Technology (CECIT), Sanya, China, 2022: 270-274.

[13] Niu H, Wang W, Liu Z. High Speed Synchronous Serial Port and Research on Glitch Based on the DSP and FPGA [C]//2012 International Conference on Control Engineering and Communication Technology, Shenyang, China, 2012: 448-450.

[14] Shum W, Anderson J H. FPGA Glitch Power Analysis and Reduction[C]//2011 IEEE/ACM International Symposium on Low Power Electronics and Design, Fukuoka, Japan, 2011: 27-32.

[15] Gayathri S, Taranath T C. RTL Synthesis of Case Study Using Design Compiler[C]//2017 International Conference on Electrical, Electronics, Communication, Computer, and Optimization Techniques (ICEECCOT), Mysuru, India, 2017: 1-7.

姚 凯(2000—),男,湖北黄冈人,中国地质大学(武汉)硕士研究生,从事数字系统设计,1220335737@qq.com;

张瑞涛(1984—),男,陕西扶风人,中国地质大学(武汉)博士研究生,研究方向为数字集成电路设计,276089974@qq.com。

侯 强(1971—),男,湖北武汉人,中国地质大学(武汉)副教授,硕士生导师,从事信号处理方向,houq2008@cug.edu.cn;