Design of Source-To-Sink Current DDR Terminal Regulator Chip

XU Hongjin[1], DENG Gang[1*], ZHAO Xianxi[2], YONG Zhiqiang[2]
(1.School of Sciences, Hubei University of Technology, Wuhan Hubei 430068, China;
2.Beijing Galleric Electronic Co., Ltd., Beijing 100036, China)

Abstract: Targeting at the application demand of dynamic random storage (DDR) voltage regulator, an LDO voltage regulator chip is designed, which can meet the ability of "sinking" and "sourcing" current and can be used for various DDR modules. Based on Huahong HHGrace BCD 0.35 μm process, the chip is designed and simulated in Cadence Spectre software environment. After layout design modification and post-simulation, the chip is finally produced. Based on the sample test data, it is shown that when the operating temperature range is −55 ℃ ~ 125 ℃, the chip can provide 2.5 A pull current, and the load regulation rate is within ±15 mV, which can meet the power requirements of DDR and DDR2 terminals.

Key words: low-dropout voltage regulator; sourcing and sinking current; chip design; bandgap reference
EEACC: 1210 **doi**: 10.3969/j.issn.1005-9490.2026.03.005

拉灌电流 DDR 终端稳压芯片设计

许宏劲[1], 邓 罡[1*], 赵显西[2], 勇志强[2]
(1.湖北工业大学理学院, 湖北 武汉 430068; 2.北京伽略电子股份有限公司, 北京 100036)

摘 要: 针对动态随机储存器(DDR)稳压供电的应用需求, 设计了一款同时满足“拉”“灌”电流能力且能适用各种不同 DDR 模块供电需求的 LDO 稳压芯片。该芯片基于华虹 HHGrace BCD 0.35 μm 工艺, 在 Cadence Spectre 软件环境下进行设计与仿真, 经过版图设计和后仿真, 最终进行流片生产。基于样品测试数据表明, 当工作温度范围在−55 ℃ ~ 125 ℃ 内, 该芯片能提供 2.5 A 拉灌电流, 负载调节率在±15 mV 以内, 可以满足 DDR、DDR2 终端的电源要求。

关键词: 低压差线性稳压器; 拉灌电流; 芯片设计; 带隙基准
中图分类号: TN432 **文献标识码**: A **文章编号**: 1005-9490(2026)03-0513-07

随着双倍速率同步动态随机储存器(Double Data Rate, DDR)国产化的突破, 与 DDR 配套的各种器件与芯片的设计与制造也亟需完成国产化转型。DDR 的典型供电电压为 1.2 V ~ 2.5 V, 在负载电流 2.5 A 以内, 要求电源纹波小于 30 mV。目前国际市场上, 德州仪器公司生产的低压差线性稳压器[1](Low Dropout Regulator, LDO)芯片 TPS51200 被主流存储器产品广泛采用, 该芯片能满足 2.5 A 拉灌电流, 输出电压在 0.6 V ~ 1.8 V[2]。国内市场上, 圣邦微电子发布了同类型芯片 SGM2054[3], 其主要技术指标与 TPS51200 接近。但两者的工作环境温度仅为−40 ℃ ~ 85 ℃。近年来, 国内学术界也提出了满足最大 1.5 A 负载电流, 能适用于 DDR2、DDR3 等产品应用的 LDO 芯片, 但在带载能力或输出基准范围都有一定的局限性[4-5]。

另一方面, 随着近年来数字存储产品性能、集成度的提升, 其功耗也在迅速增长, 其工作环境温度往往会维持在 80 ℃附近, 这对周边芯片的设计提出了新的要求。

基于上述分析, 针对高温环境下 DDR 模块的供电, 设计了一款基于 HHGrace 0.35 μm BCD 工艺, 且同时具有大电流拉灌功能的 LDO 芯片(GED51100)。首先, 分析了芯片的结构以及工作原理, 并在 Cadence Spectre 软件上进行设计与仿真。然后, 针对该电路设计了版图, 并进行流片, 并测试了样片的输出带载特性。

1 芯片结构与工作原理分析

该芯片的内部结构如图 1 所示。各端口的名称与主要功能如表 1 所示。输入电压 V_{DDQSNS} 通过分压电路, 将输入比较器的电压降低一半, 输入电压经过 Buffer 电路得到输出基准电压 V_{TTREF}, 另一端输入电压 V_{LDOIN} 通过功率管得到输出电压 V_{TT}, 在芯片外围检测电路中 VTT 和 VTTSNS 端相连, VTTSNS 端是

收稿日期: 2024-02-29 修改日期: 2024-04-30

输出采样电压。生成的基准电压 V_{TTREF} 和采样电压 V_{TTSNS} 输入到误差放大器模块中,EA 模块输出端接到功率管的栅极,其内部模块有两个输出端电路,芯片正常工作时,只有一半处于正常工作状态,此模块的输出控制上下功率管的开关。此外,V_{TTREF} 和 V_{TTSNS} 电压还输入到 PGOOD 模块,该模块控制采样电压,只有在基准电压一个正常范围之内变化才会使 PGOOD 模块的输出信号变成高点平,控制后续限流模块和功率管电路正常工作,若采样电压和基准电压差距超过 PGOOD 基准,则 PGOOD 输出为低电平,后续模块关断。

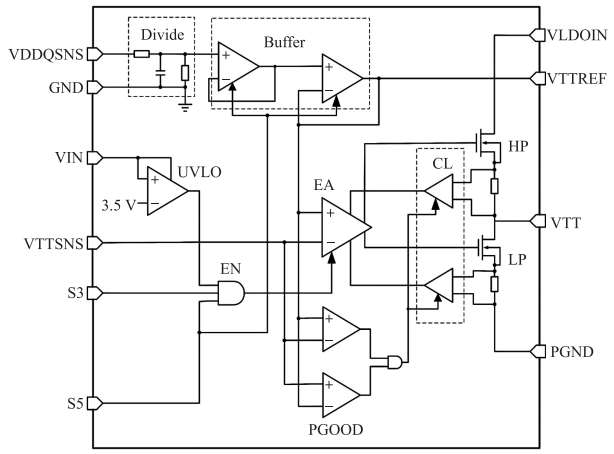


图 1 芯片模块图

表 1 芯片模块介绍

	中文名称	主要功能
Divide	分压模块	分压电路,将输入电压分压后得到缓冲器的基准输出电压。
Buffer	缓冲器模块	内部是一个源跟随器结构,通过 V_{DDQSNS} 输入电压得到输出基准电压 V_{TTREF}。
UVLO	欠压锁定模块	保护电路模块,控制 V_{IN} 输入电压在大于 3.5 V 时电路才能正常工作。
EA	误差放大器模块	放大输出基准电压 V_{TTREF} 和采样输出电压 V_{TTSNS} 的误差,来控制后续电路工作状态。
CL	限流模块	过流保护模块,保护电路在大负载电流下关断。
HP、LP	功率管模块	功率管模块,该芯片承受负载电流的主要模块。
EN	使能模块	使能控制模块,当 EN 置高时整个电路才能正常工作。
PGOOD	电源良好指示窗口模块	当采样输出电压 V_{TTSNS} 在基准输出电压 V_{TTREF} 的±20%正常范围内时,PG 置高后续模块正常工作。

该电路有两个使能输入端,当 S3 和 S5 电平同时为高,电路正常工作;当 S3 为低电平,S5 为高电平时,VTT 处于高阻态,但 VTTREF 的偏置电路正常工作,故基准电压端出正常;当 S3 和 S5 同时为低电平时,整个电路模块停止工作,VTT 和 VTTREF 输出为 0,通过 MOS 使能管放电到 GND。电路开始正常工作时,首先 VIN 上电,若 S3 和 S5 使能端为高,电路开始启动,带隙基准电路开始工作;基准电压形成之后,UVLO 电路开始工作,判断 VIN 电压是否到标准值,UVLO 输出为高后,过温保护电路开始检测环境温度,温度正常模块输出电平正常,后续模块才能开始工作。

根据芯片指标要求,该 LDO 电路需同时保证拉电流和灌电流功能,故电路设计了两组功率管模块,但同一时间仅需一个模块正常工作。工作原理是:VTT 是拉灌电流的输出端,拉电流时电流从模块内部流出,HP 导通 LP 关断,电流从 VLDOIN 流入,经过 HP 从 VTT 流出。VTT 电压会低于 V_{TTREF} 基准电压,上管的 Source 环路启动,产生的负反馈使上管的栅压升高,给外部负载提供电流,输出电压升高;同理,灌电流时电流从外部留入芯片内部,HP 关断 LP 导通,电流从 VTT 流入,进过 LP 从 PGND 流出。内部 V_{TT} 电压会高于 V_{TTREF} 基准电压,下管的 Sink 环路启动,产生的负反馈使下管的栅压升高,给外部负载泄放电流,输出电压降低。此外,电路模块还有过流保护模块(CL),当负载电流在 VTT 端过大时,限流模块内部,流过采样电阻的电流增大会使对应功率管的栅压下降,导致功率栅压不再上升,VTT 电流会回到正常值,起到限流作用。

当负载电流增大时 VTT 输出端的电压损失(拉电流时,输出电压相对于基准电压升高也可看作负向的电压损失)的比例是衡量一个 LDO 电路的重要指标,即 LDO 芯片的带载能力,称为负载调解率。

此外,该电路还需要一些基本指标电路和保护模块,例如,带隙基准电路(BG)用来生成和温度无关的 1.25 V 基准电压;过温保护(OTP)模块在芯片结温过高就关闭电路;启动电路(STRA_UP)模块来控制电路的自启动。

2 主要模块的“管级”电路设计

2.1 BG 电路

如图 2 所示,BG 电路采用双极型晶体管(Bipolar Junction Transistor,BJT),Q_1 基极与射极之间具有负温度系数的电压 V_{BE1} 和两个 BJT 基极与射极之间具有正温度系数的电压之差 $\Delta V_{BE}=V_{BE2}-V_{BE1}$ 按一定比例叠加来抑制输出电压 V_{BG_OUT} 的温漂,其中 V_{BE2} 是 Q_2 管基极与射极之间的电压。假设图 2 中 B、C 两点的

电压近似相等,可知 Q_1 集电极的静态电流为:

$$I_{C1}=\frac{V_{BE2}-V_{BE1}}{R_3} \tag{1}$$

因此 V_{BG_OUT}的静态值为:

$$V_{BG_OUT}=V_{BE1}+(V_{BE2}-V_{BE1})\frac{R_1}{R_3} \tag{2}$$

根据带隙正负温度系数公式[6]:

$$\frac{\partial\Delta V_{BE}}{\partial T}=\frac{k}{e}\ln n \tag{3}$$

$$\frac{\partial V_{BE}}{\partial T}=\frac{k}{e}\left(\frac{V_{BE}}{T}-\frac{kE_g}{eT}\right)-2.5\frac{k^2}{e^2} \tag{4}$$

式中:k 为玻尔兹曼常数,e 为基本电荷量。n 为 Q_2 与 Q_1 基极与射极之间 PN 结的面积之比。要使 V_{BG_OUT}的值为 1.26 V,根据式(1)~式(4)可求得 $n=8$,且保证流过 Q_1 和 Q_2 的电流大小基本一致,需满足:

$$R_2=R_1+R_3 \tag{5}$$

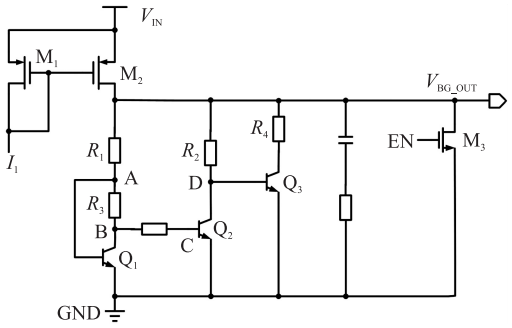
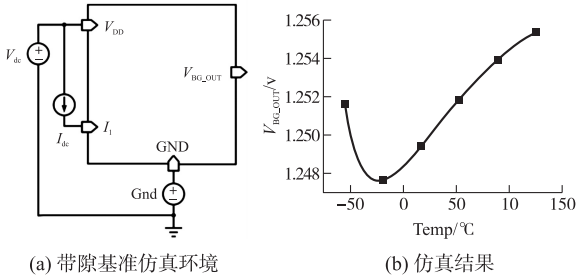


图 2　BG 模块电路图

另外,图 2 中 M_1 漏端由启动电路模块通过自偏置生成的偏置电流 I_1,通过 M_1、M_2 组成的电流镜复制给 BG 电路。为了提高该电路的 PSRR,并保证 Q_2 的静态工作点稳定,将 Q_2 集电极电压钳制为 $V_{BE3}=V_{BE1}$,V_{BE3}为 Q_3 的 BE 结电压,它需与 Q_1 采用相同的尺寸和工艺[7]。

EN 为使能信号,当电平信号为低时使能管 M_3 截止,电路输出正常。

在 Spectre 下,根据实际流片的工艺,进行直流仿真,如图 3 所示。



(a) 带隙基准仿真环境　　(b) 仿真结果

图 3　带隙基准仿真环境和仿真结果

图 3(a)中,外围电路有两个恒压源 V_{dc}、Gnd 和一个恒流源 I_{dc}。其中,V_{TT}输入电压为 5 V,I_1 启动电路生成的偏置电流为 4.5 μA,GND 接地电压为 0 V。在温度为−55 ℃~125 ℃,仿真 V_{BG_OUT}端的输出电压。仿真数据如图 3(b)所示。

由图 3(b)可以看出,全温域下,V_{BG_OUT}的数值的极值分别是 1.247 V 和 1.255 V,电路温漂系数为 35.5×10^{-6}/℃。该数值能满足本芯片基准电压的应用[8]。

2.2　功率管及限流模块设计

通常情况下,当电路达到限流阈值时,限流模块会直接关断芯片以保护电路。但 DDR 的工作环境要求限流模块能使芯片在过流条件下,重新回到正常工作状态,这就需要重新设计限流模块。

为了同时满足拉电流和灌电流的技术要求,设计两组功率管来分别控制“拉”“灌”电流,故也需要两个限流模块防止电流过大烧毁芯片[9]。当芯片正常启动后仅有一组功率管处于工作状态,该模块由 EA 输出的过驱动电压信号 $V_{powerin}$来控制那一部分的功率管正常工作。芯片正常工作状态下,限流模块不工作,功率管栅极的过驱动电压 $V_{powerin}$由芯片 EA 模块提供。

单组功率管及限流模块电路原理如图 4 所示,虚线左侧部分是过流保护模块,右侧是功率管模块。输出功率管 M_{10}由 500 个带隔离环的 NMOS 管并联以提高 LDO 的负载电流能力[10],采样管 M_9 由 4 个 NMOS 构成,其源极连接到采样电阻 R_1 以检测 M_{10} 电流大小。

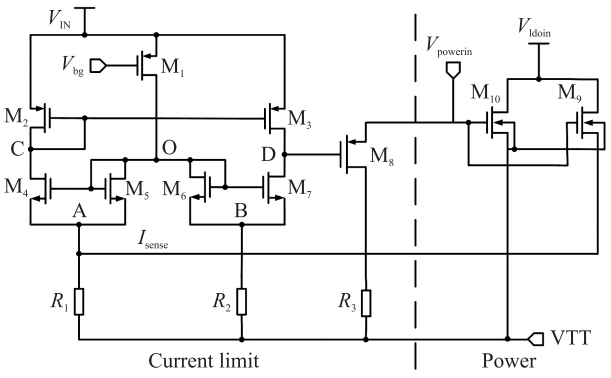


图 4　功率管和限流电路

芯片在空载或者正常工作时,限流模块中,除 M_8 以外的 MOS 均处于导通状态,静态电流均在 1 μA~10 μA 范围内,此时 M_8 的栅极电压 V_D 被上拉到 V_{IN}电位,值近似为 5 V。

当 I_{sence}增加到毫安量级时($I_{sence}\geqslant I_1$,I_1 为流过 M_1 的电流),A 点电位为:

$$V_A = I_{\text{sense}} \times R_1 + V_{\text{TT}} \tag{6}$$

随着 I_{sence} 增加，会使得 A 点电位提高，根据公式：

$$I_5 = \frac{1}{2}\mu_n C_{\text{OX}} \frac{W}{L}(V_O - V_A - V_{\text{TH5}})^2 \tag{7}$$

可知，流过 M_5 的电流值 I_5 会随着 V_A 电位的增加而减小，当 A 点电位与 O 点电位差小于 M_5 的阈值电压后，M_4 和 M_5 截止。电路的静态工作点发生突变，即切换到限流工作模式，此时 M_1 的静态电流全部经由 M_6 流出，故 O 点电位以及流过 M_6 的电流由下式确定[11]：

$$I_1 = I_6 = \frac{1}{2}\mu_n C_{\text{OX}} \frac{W}{L}(V_{\text{in}} - V_{\text{bg}} - V_{\text{TH1}})^2 \times (1 + \lambda V_{\text{in}} - V_O) = \frac{1}{2}\mu_n C_{\text{OX}} \frac{W}{L}(V_O - V_B - V_{\text{TH6}})^2 \tag{8}$$

这样，VTT 的电压可表示为：

$$V_{\text{TT}} = V_B - I_6 \times R_2 \tag{9}$$

由以上推导可以看出，通过 MOS 管工艺参数与电阻阻值的优化设计，可防止 M_5 在大于限流值时重新导通，且 V_{TT} 会下降到 500 mV 以内，无法带动负载。另外，M_4 的截止导致 C 点的电位提高，使 M_3，M_7 工作到亚阈值状态，使得：

$$V_D \approx V_B \leqslant V_{\text{powertin}} - V_{\text{TH8}} \tag{10}$$

即 M_8 的栅压电位降低致使 M_8 导通。M_8 的源极电位被拉至 2 V 左右，通过外部负反馈环路钳位住功率管的过驱动电压，以达到限流作用。

2.3 版图设计

根据上述电路设计及工作原理，基于华虹 HHGrace BCD 0.35 μm 工艺，绘制了芯片的版图，如图 5 所示。其中周围深灰色方块是顶层 PAD，VLDOIN、VTT、PGND 三个引脚需要走大电流故设置了两个 PAD，其余小的深灰色方块是电路的特殊测试点。由图 5 可知，功率管模块占用面积达到版图面积的一半，此处需要容纳大负载电流，故需要大量的功率管并联以增加芯片的负载能力。

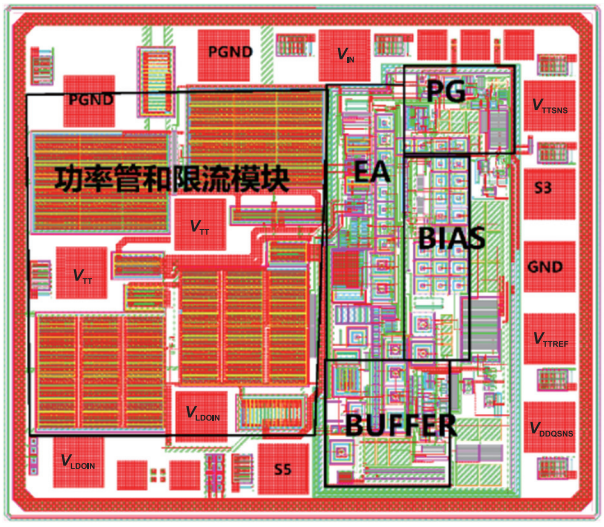


图 5 芯片 top 版图

该版图 TOP 整体面积为 1 400 μm×1 210 μm。其中，功率管模块面积为 710 μm×640 μm，涵盖整体版图的 50%左右。单个晶体管的尺寸为 100 μm×0.8 μm。功率管模块上管和下管的个数都为 500 个，但负载电流满载 2.5 A 时，每个功率管的电流值为 5 mA。符合工艺参数限制和设计要求。

3 芯片带载输出特性仿真

在输入端电压 V_{DDQSNS} 为 1.8 V 和 2.5 V，拉(灌)电流值为 2.5 A 的情况下，VTT 端输出电压相较于空载状态下的电压损失即是芯片的负载调解率。此项目是该 LDO 芯片的重要指标。

在 Cadence 环境下对该指标进行仿真。其仿真的工艺角参数如表 2 所示[12]。仿真所采用的外围电路如图 6 所示。

表 2 仿真的工艺角

	MOS	Bip	Res	Cap/Dio
个数	5	3	3	3
明细	ff/tt/ss/fs/sf	ff/tt/ss	max/tt/min	tt/max/min

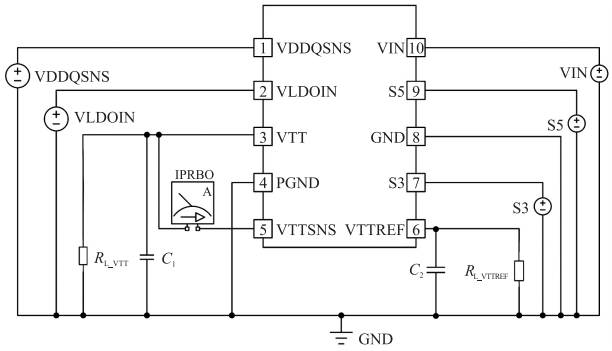


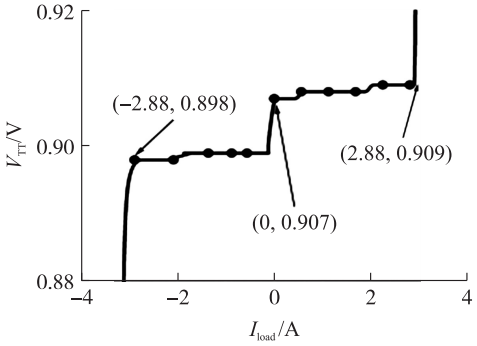
图 6 仿真外围电路

图 6 中，输入电压 VDDQSNS 端和 VLDOIN 端处于同电位，输入电压范围为 1.2 V~3.6 V；VTT 端和 VTTSNS 端短接来构成了芯片的整体反馈环路，输出端电压在空载下是输入电压的一半，范围是 0.6 V~1.8 V；V_{IN} 是输入控制电压，S3 和 S5 是使能电平，三个输入电压正常时都是 5 V；VTT 和 VTTREF 端的电阻 R_L 是负载电阻，阻值会随 VTT 端的电压变化来维持理想的负载电流不变，同时 VTT 输出端要并联一个 20 μF 的陶瓷电容 C_1，VTTREF 端需并联一个 0.1 μF 的陶瓷电容 C_2 用来消除外围寄生参数。VTT 和 VTTSNS 中间短接的 IPRBO 是

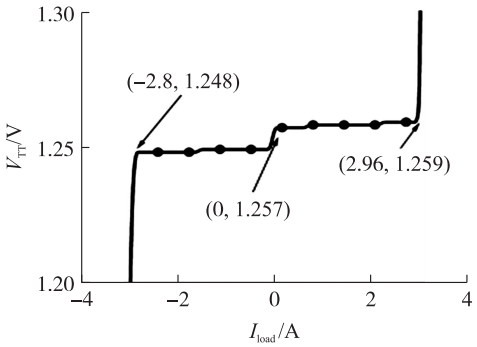
测量芯片整体反馈环路的相位裕度。

在上述仿真环境中,V_{IN} 和 S3、S5 置高,VTT 端连接上负载电阻 R_L,其阻值是 V_{TT}/I_{load}+1 Ω(1 Ω 阻值是当空载时防止分母为 0)。设置芯片工作环境温度 Temp=125 ℃。

图 7 为 V_{DDQSNS}=1.8 V 和 2.5 V 时,VTT 负载端出于拉电流(电流数值为负数)和灌电流(电流数值为正数)电路负载调解率的仿真结果,可以看出,在芯片正常工作时电路的负载调整率在±10 mV 以内,灌电流的限流值在 2.80 A 左右,拉电流的限流值在 2.88 A 左右。此处在版图设计的时候由于芯片版图的面积问题和使用国内工艺的缘由,铝线的耐流能力有限,所以对芯片的限流指标做了一定的限制[13],但依然能满足芯片的工作环境要求。



(a) V_{DDQSNS}=1.8 V



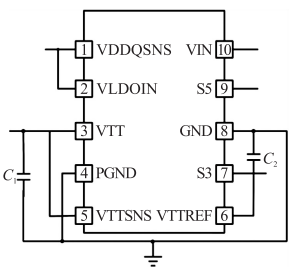
(b) V_{DDQSNS}=2.5 V

图 7　带载特性仿真结果

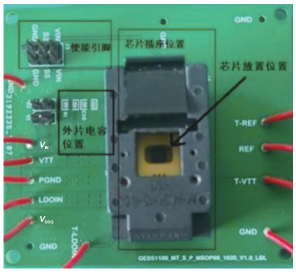
4　样片带载输出特性测试

芯片流片完成之后,设计了外围电路测试带载输出特性,其原理示意以及实物如图 8 所示,各端口作用如表 3 所示。为了消除寄生参数,在 VTT 输出端需并联两个 10 μF 的陶瓷电容,V_{TTREF}基准电压端要并联一个 0.1 μF 陶瓷电容。

图 8(b)中,芯片外围电路的外片电容焊接在 PCB 板背面,中间环形区域内部为芯片焊接处。此外,相比于图 8(a),增加了三个向外引出的引脚,分别为 T-REF、T-VTT、T-LDOIN,是为了防止检测误差(例如 VTT 接电压检测端,T-VTT 接电流检测端)。图 9 为测试环境照片。



(a) 原理图



(b) 实物图

图 8　测试电路

表 3　芯片测试条件

引脚	I/O	测试条件
VLDOIN、VDDQSNS	输入	V_{LDOIN} 和 V_{DDQSNS} 是同电位,范围为 1.2 V~2.5 V
VIN	输入	V_{IN} 电压一般为 5 V
S3、S5	输入	S3、S5 使能输入高电平为 5 V,低电平为 0 V
VTTREF	输出	输出基准,正常工作时输出为 V_{DDQSNS} 的一半
VTT、VTTSNS	输出	带载输出和采样电压,拉灌电流的端口
GND、PGND	地	地电压为 0 V

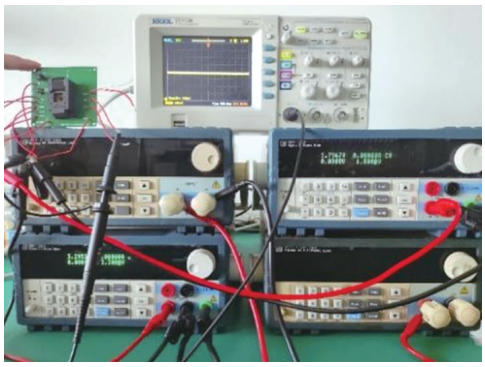


图 9　芯片测试环境

测试条件为 V_{IN} = 5 V, V_{S3} = V_{S5} = 5 V, V_{LDOIN} = V_{DDQSNS} = 2.5 V、1.8 V,VTT 端的负载电流设置三个测试点 0 A、1 A、2.5 A,VTT 端输出电压的负载调整率测试结果如图 10 所示。

由图可知,在输入电压为 2.5 V 时高温下负载调解率波动较大,VTT 端空载下数值是 1.254 V,拉灌电流为 2.5 A 时 VTT 端输出电压分别为 1.240 V 和 1.269 V;输入电压为 1.8 V 时,V_{TT}在常温下整体波动较大,VTT 端空载下数值是 0.905 V,拉灌电流为 2.5 A 时 VTT 端输出电压分别为 0.879 V 和 0.906 V,相较于空载下的电压损失都控制在±15 mV 内。

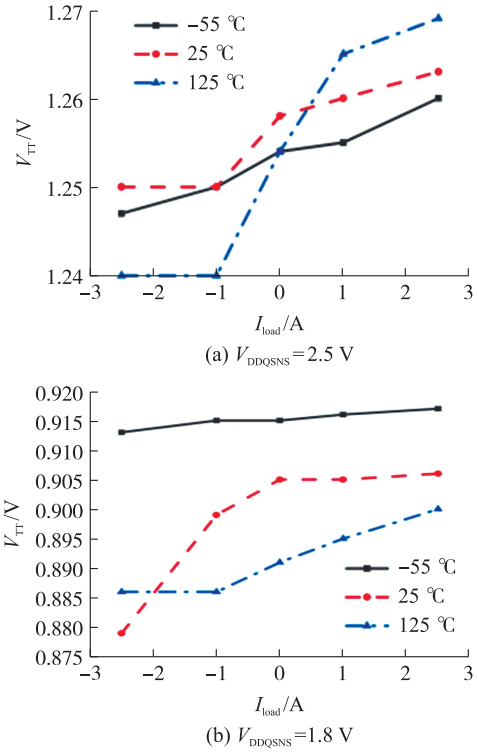


图 10 带载测试结果

相较于图 7 的仿真特性曲线,空载时,两者基准电压有些许偏差,这是由器件材料差异引起的,在高负载电流下相对于空载下的电压损失是在可允许范围之内,测试数据与仿真结果比较符合,且满足设计指标需求。

根据成品芯片测试数据分析,我们可以观察到本文设计的成品芯片在某些方面表现出色,但在其他方面仍有改进的空间。我们将对比几个近几年在论文中发表的相同功能指标,应用于 DDR 供电的 LDO 芯片,分析其性能参数,以评估该芯片的优势所在。

如表 4 所示,GED51100 为本文设计芯片,XD1997[14]、RH9600[15]、芯片#4[16]都是近几年设计的能满足拉灌电流的 DDR 供电芯片,其中“芯片#4”的命名和静态电流指标未在文中提及。从表中可以看出,本文设计的芯片具有更小的静态电流和在满负载下的更小压差,但最大负载电流不及他人设计的芯片。

表 4 芯片性能比较

项目指标	GED51100	XD1997	RH9600	芯片#4
高温静态电流/μA	645	863	859	–
最大负载电流/A	2.5	3	2	3
VTT 满负载压差/mV	±15	±25	±40	±35

这一比较结果显示,尽管我们的设计在某些方面取得了进展,但在其他方面仍有改进的空间。因此,我们将继续努力,重点关注如何提高静态电流和最大负载电流等方面的性能,以进一步提升我们的芯片稳定性和性能表现。

5 结语

针对 DDR 稳压供电需求,本文设计了一种兼具拉灌电流的快速瞬态响应的 LDO 线性稳压芯片。其仿真以及样片的测试数据表明,该芯片能提供 2.5 A 拉灌电流,输出纹波在±15 mV 以内,可以满足 DDR、DDR2 终端的电源要求。

参考文献:

[1] 幸新鹏,李冬梅,王志华. CMOS 带隙基准源研究现状[J]. 微电子学,2008,38(1):57-63.
[2] Texas Instruments. TPS51200 Sink and Source DDR Termination Regulator[EB/OL]. https://www.ti.com/lit/ds/symlink/tps51200.pdf? ts=1700740793565.
[3] 圣邦微电子. SGM2054 灌电流和拉电流 DDR 终端稳压器[EB/OL]. https://www.sg-micro.com/cn/product/SGM2054.
[4] 何泽炜. 一种快速瞬态响应、高效率、高稳定性 LDO 芯片的设计[D]. 成都:电子科技大学,2015.
[5] 彭晓宏,朱治鼎,侯立刚,等. 大电流,微功耗,小体积单片 LDO 的设计与实现[J]. 现代电子技术,2013,36(13):4.
[6] 拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,译. 西安:西安交通大学出版社,2014:152-170.
[7] 陈杰浩,郭志弘,胡浩. 一种具有高 PSRR 的分段温度补偿带隙基准[J]. 微电子学,2023,53(1):8-13.
[8] 奚冬杰,徐晴昊. 高精度分段线性补偿基准电压源[J]. 电子技术应用,2022,48(3):41-44.
[9] 金兴杰. 低功耗无电容型低压差线性稳压器的研究与设计[D]. 成都:电子科技大学,2015.
[10] Xu L, Niu P J, Fu X S, et al. Design of Bandgap Reference in Switching Power Supply[J]. Semiconductor Photonics & Technology,2009,15(2):101-104,129.
[11] 朱治鼎. 一种低功耗大负载低压差线性稳压器(LDO)的研究与设计[D]. 北京:北京工业大学,2013.
[12] 华虹半导体. 华虹宏力 0.35 μm BCD 工艺[EB/OL]. http://www.huahonggrace.com/
[13] Saint-Laurent M, Bassett P, Lin K, et al. A 28 nm DSP Powered by an On-Chip LDO for High-Performance and Energy-Efficient Mobile Applications[J]. IEEE Journal of Solid-State Circuits,2014,50(1):81-91.
[14] 关姗. 兼备 Sink/Source 快速瞬态响应 LDO 的研究与设计[D]. 西安:西安电子科技大学,2020.

[15] 吕文召. 高可靠拉灌大电流快速瞬态响应 LDO 的研究与设计[D]. 长沙:湖南大学,2021.

[16] 万泽川. 具有拉灌电流能力的终端线性稳压器设计[D]. 沈阳:辽宁大学,2022.

许宏劲(1997—),男,湖北十堰人,硕士研究生,主要研究方向为集成电路设计;

邓　罡(1981—),湖北武汉人,博士,湖北工业大学副教授,主要研究方向微机电系统,精密测量,量子场论,58447318@qq.com。