Design and Implementation of a Real-Time Spectrum Analyzer with Adjustable Bandwidth for Analysis

YANG Yifan[1], Guo Quanquan[2], ZHANG Yanjun[1*]
(1.State Key Laboratory of Dynamic Measurement Technology, North University of China, Taiyuan Shanxi 030051, China;
2.Tianjin Nuohua Instrument Technology Company, Tianjin 300309, China)

Abstract: In order to accurately capture diverse RF signals, a superheterodyne portable spectrograph based on FFT real-time spectrum analysis is designed. The multi-modular design adopts the com-E standard specification, and the FPGA performs algorithm processing such as digital down conversion, sampling speed reduction, filtering, and fast Fourier transform. It completes real-time detection of RF signals and uploads the results to the upper computer for display through the Ethernet UDP protocol. The frequency covers 2 MHz-3 GHz, with a dynamic range of -90 dBm~+25 dBm. It has the characteristics of adjustable analysis bandwidth, small size, and low cost. After testing, the spectrum analyzer can meet the requirements of various RF communication indicators and has practical value.

Key words: real-time spectrum analysis; FPGA; FFT; variable analysis bandwidth
EEACC: 6140 **doi**: 10.3969/j.issn.1005-9490.2026.04.008

分析带宽可调实时频谱分析仪的设计与实现

杨艺凡[1], 郭全全[2], 张彦军[1*]
(1.中北大学省部共建动态测试技术国家重点实验室, 山西 太原 030051; 2.天津锘华仪器科技有限公司, 天津 300309)

摘 要: 为了精准捕捉到多样性的射频信号, 设计了一种基于 FFT 实时频谱分析的超外差式便携频谱仪。采用了 com-E 标准规范、多模块化设计, FPGA 进行数字下变频、采样降速、滤波、快速傅里叶变换等算法处理, 完成了对射频信号的实时检测, 通过以太网 UDP 协议上传到上位机显示。频率覆盖 2 MHz~3 GHz, 动态范围为-90 dBm~+25 dBm, 具有分析带宽可调、体积小、成本低的特点。经过测试, 该频谱仪可满足射频通信各项指标使用要求, 具有实用价值。

关键词: 实时频谱分析; FPGA; FFT; 可变分析带宽
中图分类号: TN911.6 **文献标识码**: A **文章编号**: 1005-9490(2026)04-0772-07

随着通信技术的快速发展, 射频信号承载了复杂的调制技术, 呈现出时变、瞬态、宽带的特点。信号的传统处理技术已经无法满足复杂信号的测试要求。如何快速响应并捕获这些射频信号, 成为电子监测领域的关键[1]。传统台式扫频频谱分析仪的基本工作原理为: 将输入的射频信号和内置局部振荡器产生的信号进行混频, 从而将射频信号转换到一个更低的中频范围, 然后经过放大器增强信号强度, 再通过一系列的滤波器和控制电路, 由包络检波器得到扫频宽度内频点的幅度, 最后通过视频滤波器显示出来[2]。由于其精度高、性能强的特点, 使其在军事、国防及实验室等高测量要求的环境中受到青睐, 但成本高、功耗大、体积大的缺点不能避免, 且扫频导致其在扫宽度较大的频带时, 扫描时间长, 如果信号变化迅速可能会遗漏掉信号变化的部分, 实时性较差。针对这些问题, 文中设计了一种便携式实时可调带宽频谱分析仪, 其具备体积小、便于携带、具有台式频谱分析仪大部分功能和性能, 可调的分析带宽可以根据具体需求自由选择分析范围, 节省计算资源的同时提高了测量效率和实用性, 已应用到通信训练中。

1 设计方案

本方案主要由底板、射频子板、FPGA 子板三个部分组成。底板为辅助载板, 设计了外围电路, 像电源模块、USB 转 JTAG 调试模块和以太网模块; 另一方面采用 com-E 标准搭载两块核心子板, 提供了全定制设计主板的灵活性, 有效地降低开发部署的成本。射频模块负责对射频信号进行功率处理、混频处理、滤波处理以达到设计要求。FPGA 子板搭载型号为 Xc7k325t 的芯片作为核心运算控制部分, 实

收稿日期: 2024-04-03 修改日期: 2024-04-29

现对射频电子开关的控制以及器件寄存器的配置,同时作为核心数据处理器会对 ADC 转换后的信号做数字信号处理,最终将结果通过网口用 UDP 协议传输给上位机[3-4],整体方案如图 1 所示。

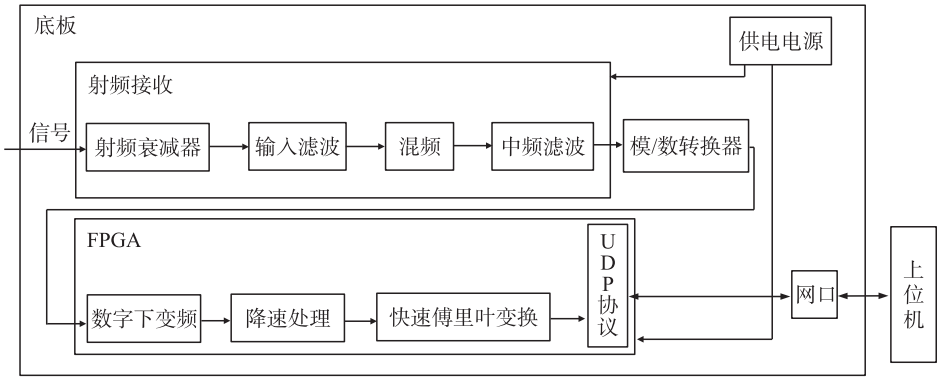


图 1　整体设计框图

1.1　射频接收模块设计

本文射频模块采用超外差结构(图 2 所示),将输入信号进行两次变频处理。本方案接收射信号的频率范围为 2 MHz~3 GHz,根据电台不同频段的信号分为 6 条通道,每一条通道对应不同的带通滤波器,以降低干扰。通过第一级混频器时(内部集成 PLL 和 VCO),第一级的本振是连续可调的振荡器,其目的是将输入信号频率为 2 MHz~3 GHz 混频出一个固定值 3.5 GHz 的第一中频信号 f_{IF},中频信号经过中频滤波器后进入第二混频器与其固定本振下变频出 46 MHz 的第二中频信号[5]。

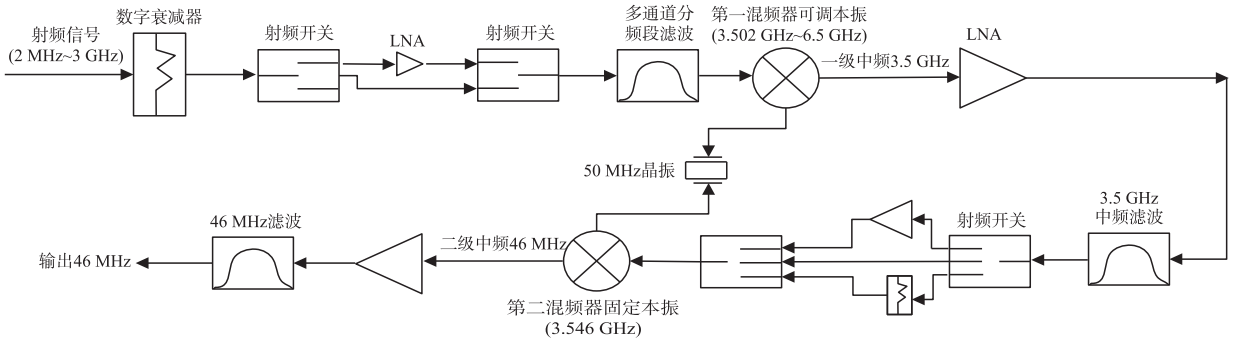


图 2　频谱仪射频结构图

本文频谱分析仪动态范围约为 -90 dBm ~ +25 dBm,选用了 Peregrine Semiconductor 公司的射频电子开关 PE42540、衰减器 PE43711 和低噪放大器 HMC8410 等,FPGA 选通射频电子开关来控制射频信号功率大小,从而达到动态检测范围接近 115 dBm。混频器选用 ADI 公司的 ADF5610,混频的公式如下:

$$M \times f_{LO} \pm N \times f_{IN} = f_{IF} \tag{1}$$

由公式可得,会出现两个频率同时与第一级本振混频,落在相同的一级中频信号,分别为有用信号 F_{IN} 和镜像信号 F_{IM},所以在混频以前需要一个镜像滤波器滤除掉镜像频率[6],如图 3 所示。

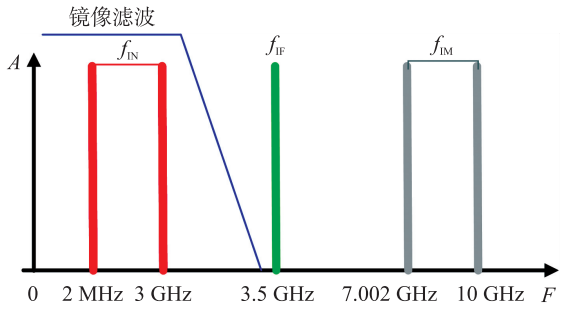


图 3　射频信号混频过程示意图

1.2　数字下变频及降速处理设计

数字下变频是将 AD 采到的中频信号搬移到零频,信号带宽则变为原来的一半。在时域对信号进行采样时,频域对应原信号频谱周期延拓(虚线所示)。降速处理是信号处理中常用的一种技术,本文 ADC 的采样频率固定为 200 MHz,为了提升数据的实时处理速度,面对不同的分析带宽要把 ADC 采样频率降到合适的范围,防止数字下变频后的基带信号出现过采样问题[7]。在处理抽取滤波后的信号时,利用 FIR 滤波器来滤除无用的带外杂散信号,最终得到需要的 I/Q 基带信号,流程如图 4 所示。

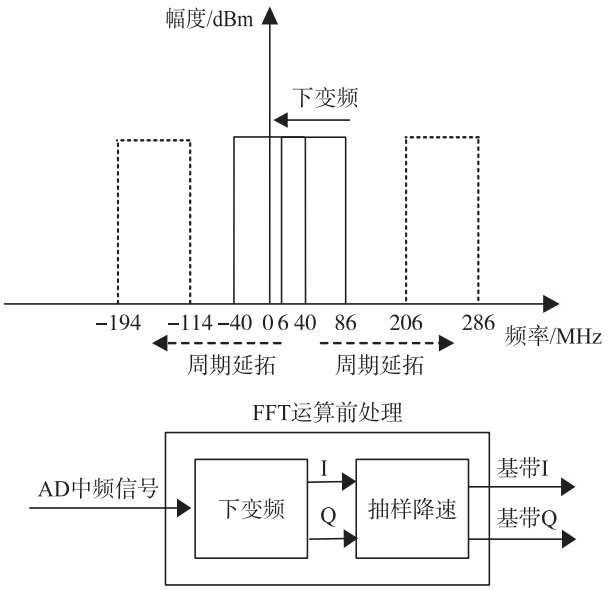


图 4 数字下变频及抽样降速流程图

降速处理通过级联不同数量的 CIC 和 HB 滤波器来实现。CIC 滤波器作为降采样的第一级处理,其内部结构简单只有加法器和延迟元件,这很大程度地简化了运算过程。多级 CIC 级联会加大旁瓣衰减倍数,同时也会增加通带衰减的速度[8]。图 5 为 CIC 滤波器幅频特性图,对比了不同级联数对通带衰减的影响。通过多次 MATLAB 参数仿真测试后,最终选取 5 级 CIC 滤波器作为降采样处理的第一步。

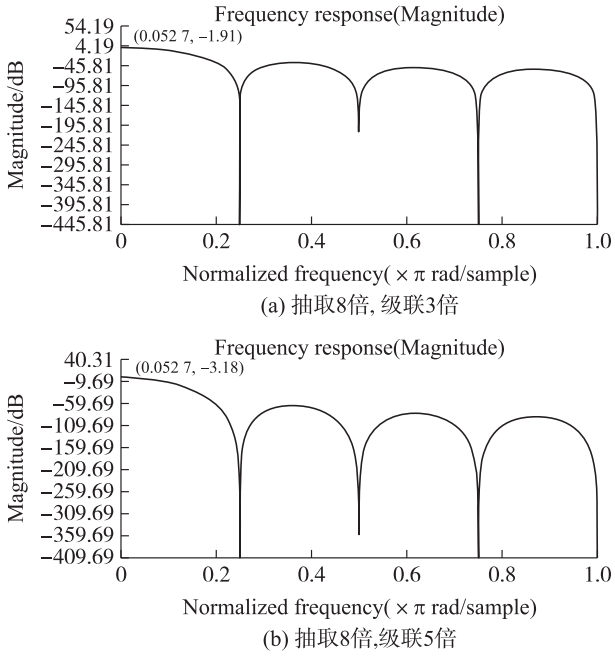


图 5 CIC 滤波器频率响应特性图

HB 滤波器是一种特殊的 FIR 滤波器,作为降采样的二级处理十分高效。先通过低通滤波器滤除高于采样频率一半的频率,然后将滤波后的信号进行降采样。在降采样的过程中,半带滤波器可以有效地减少信号失真和混叠问题。抽头系数里除中间值为 0.5 以外,剩下奇数系数都为零,因此其运算量也降至普通 FIR 滤波器的一半,且平坦度好[9]。适合于抽取倍数为 2 的整数次幂的抽取系统中,其幅频特性如图 6 所示。

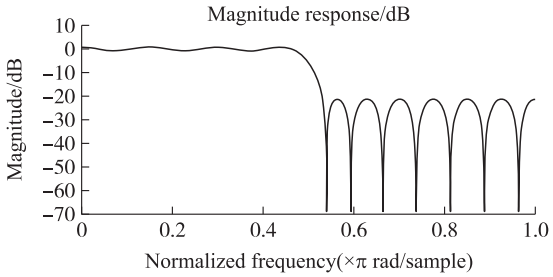


图 6 HB 滤波器归一化因子 0.45 幅频特性图

1.3 FFT 运算与存储设计

快速傅里叶变换(Fast Fourier Transform,FFT)是一种高效计算离散傅里叶变换(Discrete Fourier Transform,DFT)的算法。它将一个信号从时间域转换到频率域,揭示了信号中各种频率成分的特征。而 FFT 则通过利用信号的对称性、周期性以及复数运算的性质,将 DFT 的计算复杂度从指数级别降低到了近似线性对数级别[10],使得其成为了高效计算频域表示的主要工具之一。

本文将使用 1 024 点基 4-FFT 算法,DFT 计算公式如下:

$$X(k)=\sum_{n=0}^{N-1}x(n)W_N^{nk}\quad k\in[0,N-1]\quad k\text{ 为整数}\quad(2)$$

将 $N=1\ 024$ 代入,利用旋转因子 W_N^{nk} 的周期性,将上公式以 4 为底展开计算,可以推算得出基 4 的 1024 点 FFT 需进行 5 级蝶形运算,蝶形运算模式如图 7 所示。

2 FPGA 的实现与仿真

在整个系统中,将由 FPGA 模块 处理 ADC 采集后转换的数字信号,FPGA 负责数字下变频、抽样降速滤波、FFT 运算、以太网通信、控制射频通道和配置相关寄存器的重要工作,如图 8 所示。

降采样部分使用级联 3 个 HB 滤波器抽取 2^3 倍,本文设计的 CIC 和 HB 滤波器的总抽取倍数 $D=2^3\times B$,其中 B 是 CIC 滤波器的抽取倍数,CIC 滤波器最大抽取 4 000 倍,HB 滤波器最多抽取 8 倍。具体各滤波器归一化参数满足如下关系式,其中 ω_1 是 CIC 滤波器通带截至频率归一化因子,B 等于 2 时 ω_1 为 0.21,且与抽取倍数呈反比关系,ω_2 是 HB 滤波器通带截止频率归一化因子。

$$\begin{cases} f_s \times \omega_1 \geqslant \dfrac{\text{Span}}{2} \\ \dfrac{f_s}{B} \times \omega_2 \geqslant \dfrac{\text{Span}}{2} \end{cases} \tag{3}$$

本文采用真实采样率 $f_r = f_s/D = 1.25 \times$ 分析带宽,经计算 ω_2 要大于 0.4。本文根据实时频谱仪分析带宽大小的不同,具体降速抽样设计如表 1 所示。

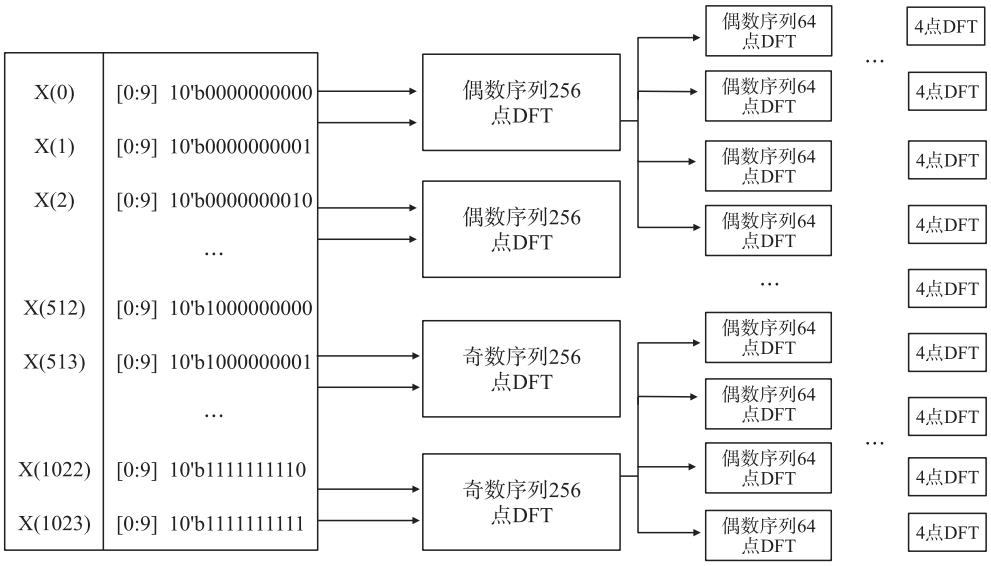


图 7　1024 点 FFT 运算推导图

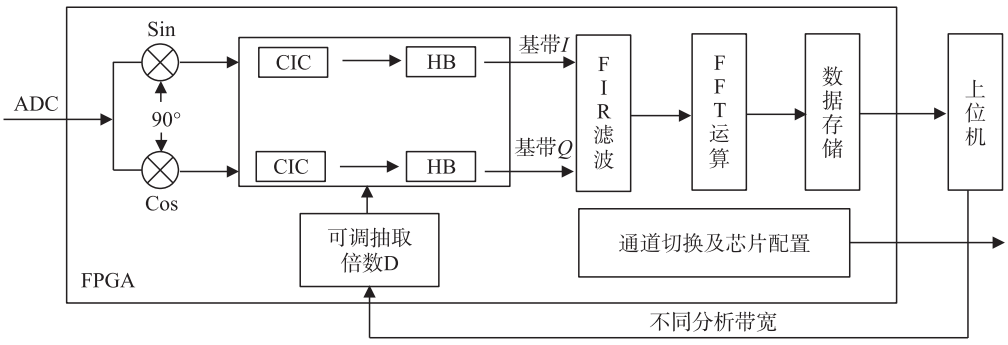


图 8　FPGA 功能设计框图

表 1　降采样各滤波器级联数设计

分析带宽	AD 采样率	CIC 降速倍数	HB 降速倍数	真实采样率	ω_1	ω_2	级联方式
80 MHz	200 MHz	0	2	100 MHz		0.45	HB
20 MHz	200 MHz	4	2	25 MHz	0.105 00	0.45	CIC+HB
2 MHz	200 MHz	40	2	2.5 MHz	0.010 50	0.45	CIC+HB
40 kHz	200 MHz	400	4	50 kHz	0.001 05	0.45	CIC+2HB
5 kHz	200 MHz	4 000	8	6.25 kHz	0.000 11	0.45	CIC+3HB

最后用 FIR 滤波器将分析带宽外的信号滤除,设计归一化因子 ω_3 参数为分析带宽/真实采样率 = 0.8。使用 MATLAB 的“Filter Designer”将 Coe 文件导入到 Vivado 的 IP 核供使用,以此降采样滤波器级联设计完成[11]。图 9 从上至下依次是基带信号、带外高频信号、混合信号、滤波信号,可见经抽样滤波后有效地衰减了带外信号,同时基带信号的采样量减少,实现了降采样。

FFT 算法的逻辑结构主要由 5 个深度为 1 024 的数据存储模块、地址产生模块、旋转因子存储模块、蝶形运算模块组成[12]。第一包 256 个数据现存入第一个 RAM 中,从第 257 个信号数据开始计算 4 点 DFT,将计算结果存入下级 RAM 对称地址处,再完成全部 1 024 个数据的 DFT 运算后,后续的蝶形运算模块以此规律逐步合成,第 5 级 1 024 点 DFT 计算的完成标志着信号频域完成分析,流程如图 10 所示。

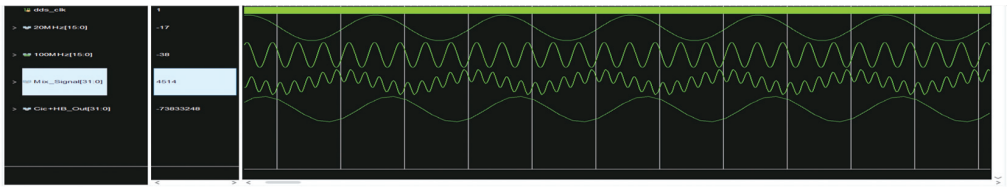


图 9 CIC+HB 处理效果图

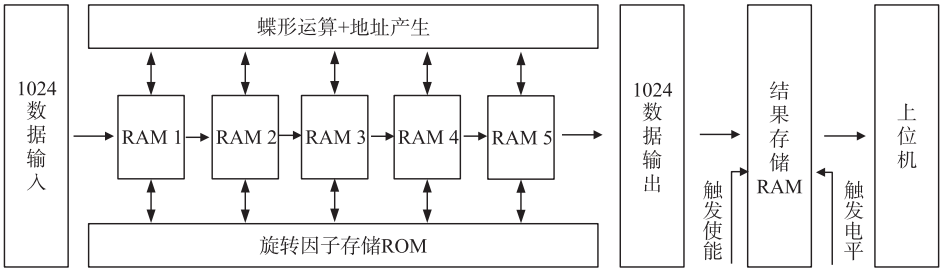
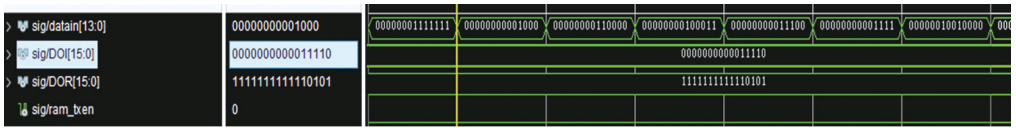
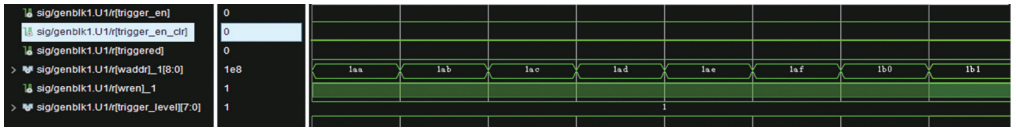


图 10 1 024 点 FFT 数据存入逻辑框架图

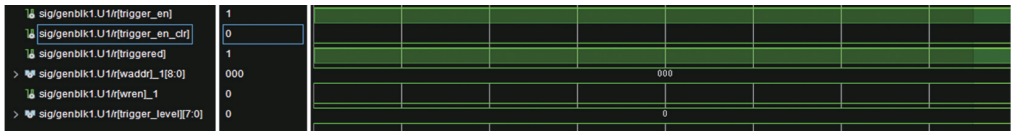
采用 200 MHz 时钟,FFT 模块可在 512 个周期内完成 1 024 个谐波解析。通过代码逻辑控制结果存储 RAM,加入触发使能和触发电平可以实现特定条件下的数据存储,如图 11 所示。



(a) FFT运算结果图



(b) 触发功能未开启时



(c) 触发功能开启时

图 11 1 024 点数据处理图

当触发功能未开启时,只有 RAM 写使能拉高将 FFT 运算结果不断写入 RAM 各地址中;当触发功能开启时,触发使能会拉高,输入一个触发电平,达到此基准时触发标志位置为“1”,FFT 运算结果将不再更新,ROM 保持触发结果。

3 测试结果与分析

图 12 所示为频谱仪实物,为了最大程度地保证射频信号不出现泄漏或者串扰的现象,用铝屏蔽层罩住射频子板,有效地将模块隔离。左边为射频处

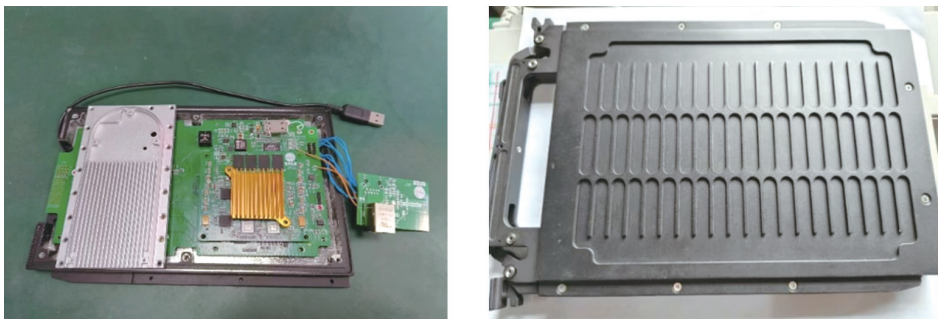
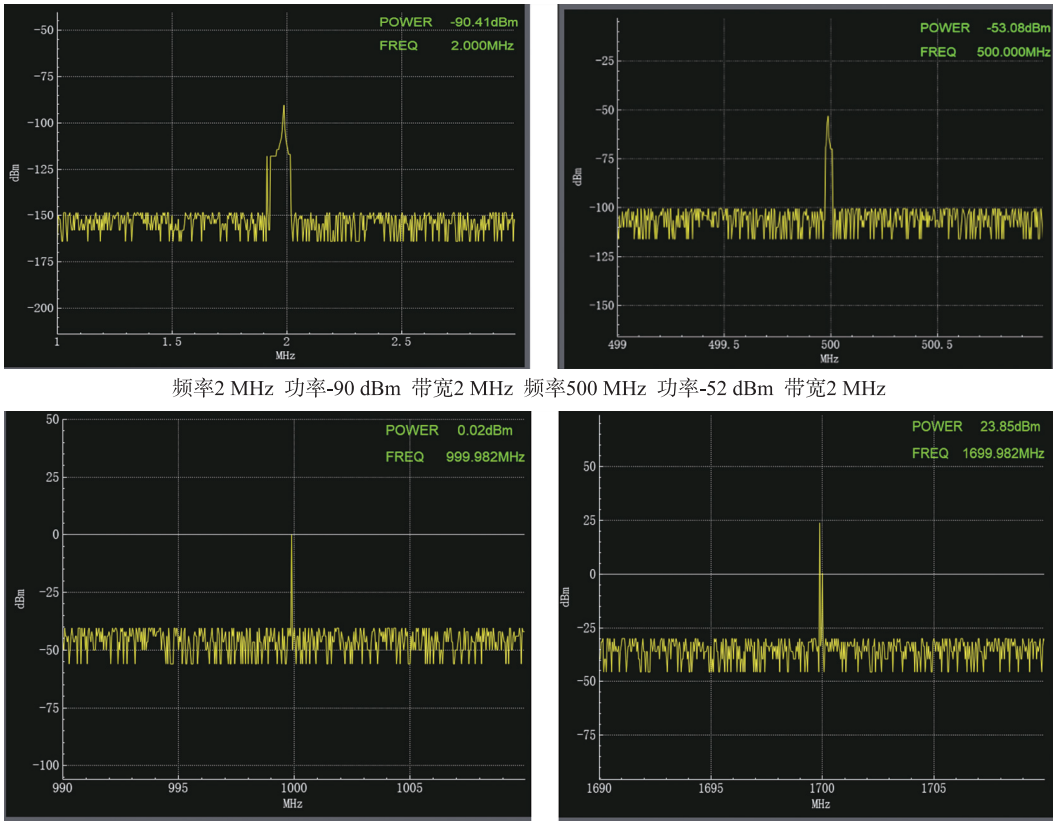


图 12 频谱仪实物图

理子板,右边为 FPGA 核心处理子板,两者通过 com-E 连接器插到底板。

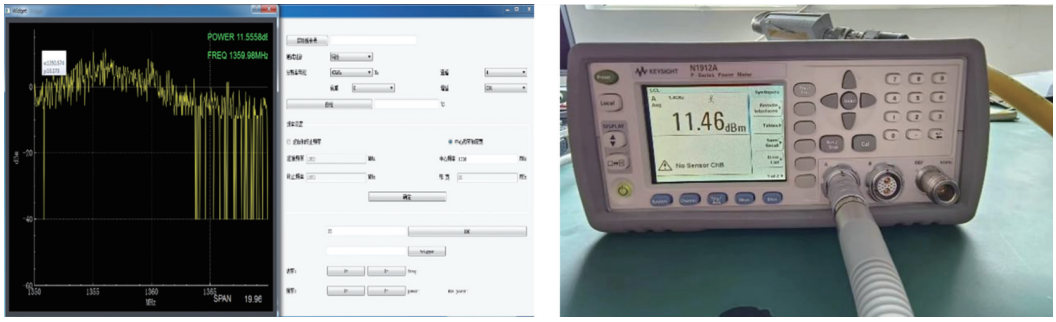
本实验分别对信号发生器发出的单载波信号以及通信端机发出的调制信号进行测试。由信号发生器发出 2 MHz~3 GHz 频率的单载波信号,测试结果如图 13(a),可见测量灵敏度范围为-90 dBm~+25 dBm。由通信端机发出跳频宽带信号,能够捕捉到加了调制后信号幅值频率的变化,并且使用触发电平将捕捉到的跳频宽带信号"锁"住以方便观察,测试结果如图 13(b)。使用 Keysight N1912A 功率计,设置功率计中心频点与扫描时间,测量对象为瞬态跳频信号,将扫描时间设为 5 μs。与 Keysight N1912A 功率计脉冲模式测试结果相近,可见该频谱仪满足大多数测试场景需求。



频率2 MHz 功率-90 dBm 带宽2 MHz 频率500 MHz 功率-52 dBm 带宽2 MHz

频率1 GHz 功率1 dBm 带宽20 MHz 频率1.7 GHz 功率25 dBm 带宽20 MHz

(a) 单载波测试



(b) 1.3 G跳频宽带信号测试

图 13　频谱仪实测结果

4　总结

本文针对多频段多调制通信信号的识别提出了一种设计方案,硬件电路以及算法的模块化使得整体设计思路清晰且便于调试,使用 MATLAB+Vivado 对设计的各项参数进行联合仿真,证明了方案的可实施性。频谱分析仪的动态范围可达 115 dB,可调节的分析带宽和触发电平满足了绝大多数射频信号检测需求。其体积小、便携式的特点受到青睐。后续将进一步优化针对不同信号的频谱泄露加入窗函数的算法,以提高系统可靠性。

参考文献：

[1] 张亚军. 实时频谱仪的数字中频处理设计与实现[D]. 成都:电子科技大学,2017.

[2] 张楠,马延军. 模块化频谱分析仪设计与实验[J]. 电子器件,2019,42(6):1458-1460.

[3] 李守闯. 实时频谱分析仪信号处理技术研究[D]. 杭州:杭州电子科技大学,2023.

[4] 焦新泉,刘帅. 基于 FPGA 的千兆以太网高速数据传输系统设计[J]. 单片机与嵌入式系统应用,2023,23(12):80-83.

[5] 王敬福. 一种 500 MHz 宽带基带信号处理逻辑设计[D]. 成都:电子科技大学,2023.

[6] 卢乐兵. 实时频谱分析仪在无线电监测中的应用[J]. 中国无线电,2022(11):46-47.

[7] 张凯程. 便携式频谱分析仪射频前端研究与设计[D]. 杭州:杭州电子科技大学,2023.

[8] 梁琦. 实时频谱仪中关键算法的研究与 FPGA 实现[D]. 重庆:重庆邮电大学,2017.

[9] 高亚军. 基于 FPGA 的数字信号处理[M]. 第 2 版. 北京:电子工业出版社,2015:268-270.

[10] 沈龙龙,李军旗,于水游. 基于 FPGA 的 1024 点 FFT 在信号实时解码处理中的实现[J]. 光电技术应用,2020,35(3):67-72.

[11] Perumal K D, Kanmani R E D, Dhivya M. Experimental Analysis Using USRP for Novel Wavelet-Based Spectrum Sensing for 2.2 GHz Band Communication Using LabVIEW[J]. Journal of Nanomaterials,2022,2022(1):4947224.

[12] 中科院 4 GHz 带宽实时数字 FFT 频谱仪系统通过验收[J]. 分析仪器,2017(6):120.

杨艺凡(2000—),男,汉族,山东东营人,中北大学在读硕士研究生,研究方向为通信信号测试与研究,765479635@qq.com;

张彦军(1963—),男,汉族,山西太原人,博士,中北大学教授,研究方向为动态测试技术与研究,zhangyanjun2000@163.com。