# A High-Speed Low-Power Dynamic Comparator

LI Xin*, DONG Zhipeng
(1.School of Information Science and Engineering, Shenyang University of Technology, Shenyang Liaoning 110870, China)

**Abstract**: Based on the NC 40 nm CMOS process, a strong-arm comparator circuit for antifuse OTP memory is designed. Compared to the traditional MSADLC comparator, this design relocates the cross-coupled NMOS pair below the input transistors to enhance gain and expedite the comparison phase. Cascading transistors above the input pair eliminate the need for a tail current transistor during the reset state, reducing static power consumption and increasing gain. An extra discharge path for the output node enhances regeneration speed. CFBB technology lowers the threshold voltage of the operating transistors, accelerating the comparison phase, while virtual switch transistors mitigate clock feedthrough effects. Simulations show a response time of 40 ps and power consumption of 25.36 μW. Tape-out results indicate that this design improves read speed and accuracy under low-voltage conditions by 72.3% and 59.7%, respectively, while reducing power consumption by 52.7%.

**Key words**: strong-arm comparator; low power; low latency; clock feed-through effect; clock forward body bias technique
**EEACC**: 1200 **doi**: 10.3969/j.issn.1005-9490.2026.04.003

# 一种高速低功耗动态比较器

李 新*, 董志鹏
(沈阳工业大学信息科学与工程学院, 辽宁 沈阳 110870)

**摘 要**: 基于晶合 40 nm CMOS 工艺设计了一种用于反熔丝 OTP 存储器的强臂比较器电路。与传统 MSADLC 比较器相比, 本设计将交叉耦合 NMOS 对管移至输入对管下方, 以提高输入对管增益, 提升比较阶段的速度。同时, 在输入对管上方级联晶体管, 可无需尾电流管便可切断在复位状态时电源到地的通路, 降低静态功耗, 在比较阶段该管可进一步提高增益, 加快比较速度。此外, 为输出节点添加了额外的放电通路, 以进一步提高再生阶段速度。采用 CFBB 技术降低了工作管的阈值电压, 加快了比较阶段的速度, 并通过虚拟开关管有效消除了时钟馈通效应。仿真结果表明, 该设计在灵敏比较阶段的响应时间仅为 40 ps, 功耗为 25.36 μW。流片验证显示, 与使用传统 MSADLC 比较器的 OTP NVM 相比, 该比较器在读取速度和低压环境下的读取准确率分别提高了 72.3%和 59.7%, 功耗降低了 52.7%。

**关键词**: 强臂比较器; 低功耗; 低延时; 时钟馈通效应; 时钟正向体偏压技术
**中图分类号**: TN492 **文献标识码**: A **文章编号**: 1005-9490(2026)04-0738-07

在通信和高端消费电子产品领域, 加密、识别和安全功能已成为不可或缺的要素。随着物联网的兴起和 5G 技术的普及, 对于具备先进技术节点的逻辑存储 IP 的需求日益增长[1]。随着独立存储芯片(如 NAND 和 NOR 闪存)的发展, 专用一次性编程(One-Time Programmable, OTP)存储器因其与纯逻辑 CMOS 工艺的兼容性而受到了广泛关注[2]。

在 OTP 存储器中, 外设电路对 OTP NVM 的性能至关重要, 其中的动态比较器作为读出电路的核心[3], 直接决定了是否可以正确读出存储单元的状态并输出。

在高速和低功耗设计领域, 动态比较器延迟和静态功耗较低[4-5], 因此有更广泛的应用。然而, 器件失配和随机噪声会导致锁存型比较器产生偏移电压, 从而降低精度。因此, 设计动态比较器的主要挑战在于如何降低噪声和偏移电压[6]。通常使用前置预放大器来减小偏移电压[7]。由于额外的电路元件会导致静态功耗增加, 因此基于前置放大器的比较器不被看好。电荷共享动态闩锁比较器(Charge Sharing Dynamic Latch Comparator, CSDLC)可解决其静态功耗问题[8], 但与强臂锁存器的比较器架构相比, 其动态功耗较高。强臂比较器具有零静态功耗、高输入阻抗、轨至轨输出等特性, 相对较低的输入参考偏移电压, 因此被广泛应用。最初的强臂锁存器于 1993 年由 Kobayashi 等首次推出[9]。此后, 为了提高电路的鲁棒性, 对其进行了一些修改[10]。改进型强臂动态比较器具有低功耗、高速度、低偏移等特点[11-13]。然而, 这些比较器的功率延迟乘积较高, 在当前高速设

**收稿日期**: 2024-06-20 **修改日期**: 2024-08-05

计环境下,仍存在问题。

本文提出了一种新型的基于强臂锁存器的比较器架构,旨在实现更低的延迟和更低的功耗。电路基于 MSADLC 结构,将交叉耦合 NMOS 对管移至输入对管下方,使其在复位阶段将输入对管的源端置于强 GND 态,在比较阶段获得较高的差分对漏源电流,进而提升输入对管的增益,从而加快比较阶段的速度。此外,为输出节点添加了额外的放电通路,以进一步提高再生阶段的速度。同时应用了 CFBB 技术以降低其工作管阈值电压。并利用虚拟开关管来消除时钟馈通效应。与传统的动态比较器相比,该架构的比较器在偏移、延迟和功耗等方面具有明显优势。

## 1　几种强臂动态比较器

### 1.1　带级联晶体管的 MASADLC

基于早期的 MSADLC 拓扑结构,文献[13]提出了一种低延时动态比较器,它改变了早期的 MSADLC 拓扑结构[11],在输入晶体管上方的两臂上集成了级联晶体管 $M_{12}$和 $M_{13}$,以提高增益。交叉耦合锁存器再生的初始电压很高,延迟也大大降低。其结构如图 1 所示。

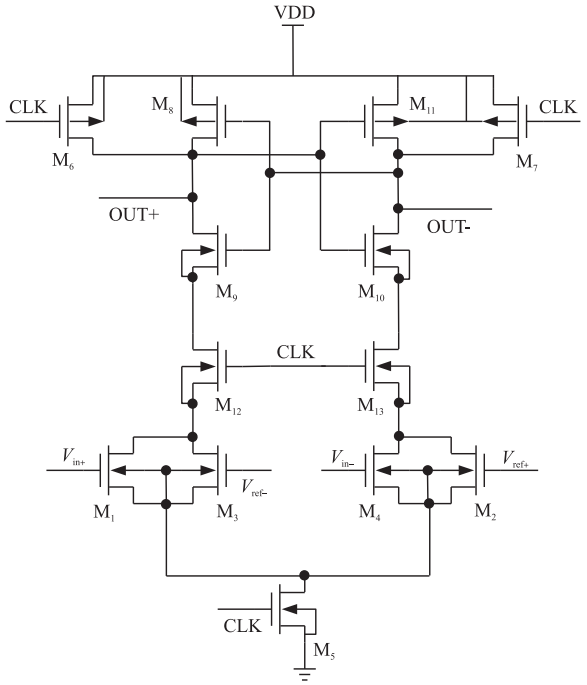


**图 1　改进型 MSADLC 结构[13]**

该电路分为两个阶段运行,复位阶段:当 CLK 信号达到零时,$M_5$ 关闭,电流路径被切断。$M_6$ 和 $M_7$ 复位差分输出节点至 VDD。比较阶段:当 CLK 为高电平时,级联晶体管 $M_{12}$和 $M_{13}$导通,差分输出节点与 VDD 隔离。根据 $V_{in}$和 $V_{ref}$之间的差值,$M_8$、$M_9$ 和 $M_{10}$、$M_{11}$组成的交叉耦合反相器对差值进行再生放大,并决定哪个输出至 VDD,哪个输出至 GND。然而,这种结构在比较阶段会受到时钟馈通效应的限制。即 OUT+和 OUT−处的电压会短时间内跟随时钟变化,当时钟为高电平时,会产生大于 $V_{DD}$的尖峰;当时钟为低电平时,会产生小于 GND 的尖峰。这些尖峰使放大和复位阶段的速度变慢,增加了电路的整体延迟。时钟馈通效应是由于栅极−源极或栅极−漏极耦合通过内部电容产生的。

以左半支路为例,相较于文献[11],电路增加了晶体管 $M_{12}$,提高了输出增益,降低了电路整体功耗。不过,其因时钟馈通效应也相应地增加了其延迟时间。比较器的延迟由三部分组成 $t_0$、$t_1$ 和 $t_{latch}$,第一项表示在第一个 PMOS 晶体管接通之前对负载电容放电的时间;第二项表示晶体管 $M_{12}$接通后其负载电容放电的时间,这也是加入晶体管 $M_{12}$后会影响的延迟时间。若 CLK=1,则尾部晶体管 $M_5$ 导通,级联晶体管 $M_{12}$导通,如果此时 $V_{in+}>V_{in-}$晶体管 $M_1$、$M_3$ 加速 OUT−放电,使晶体管 $M_{12}$导通。可确定 $t_0$ 与 $t_1$:

$$t_0=\frac{C_{LP}\cdot V_{thp}}{I_{D1}} \tag{1}$$

$$t_1=\frac{C_{LN}\cdot V_{VDD}}{I_{D1}} \tag{2}$$

式中:$V_{thp}$为 PMOS 晶体管的阈值电压,$C_{LP}$为其负载电容,$C_{LN}$为晶体管 $M_{12}$的负载电容。根据时钟馈通效应,可得式(3):

$$\Delta V=\frac{C_{ov}}{C_{ov}+C_L}V_{DD} \tag{3}$$

结合式(1)~式(3),得到式(4):

$$t_1=\frac{C_{LN}\cdot V_{VDD}+\Delta V}{I_{D1}} \tag{4}$$

可以看到,随着 $V_{DD}$的增大,延迟会显著增大,这样的延迟并不是希望的。

### 1.2　基于 CFBB 技术的强臂比较器

降低时钟馈通的方法有很多,如在充电晶体管的栅极连接电容/晶体管,或用传输栅极取代充电晶体管[14-15]。然而,对于文献[13]所提出的结构来说,虽然降低了功耗,但是 $M_{12}$和 $M_{13}$的阈值电压若过大依旧会影响速度,为了克服这一问题并提高电路性能,可使用阈值电压较低的晶体管[16]。在降低阈值电压的同时,晶体管的静态漏电流也会增加。一般来说,阈值电压的最小值由可容忍的静态泄漏电流的大小决定[17]。

基于此,文献[18]提出了使用时钟正向体偏压技术(Clocked Forward Body Biasing,CFBB)来降低关键器件的阈值电压并且提高其关断速度,其应用到的文献[10]的结构图见图 2。

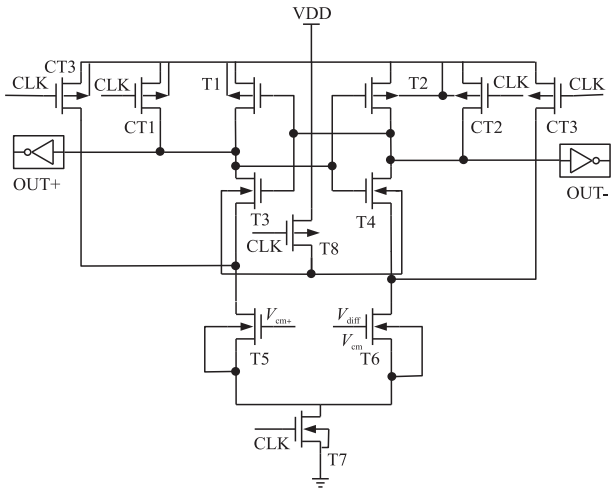


**图 2 改进型的强臂比较器**

在此结构中,使用时钟驱动的 FBB PMOS 晶体管将 NMOS 交叉耦合晶体管(T3 和 T4)的体端连接到 VDD。当时钟为低电平时,CFBB 晶体管导通,T3 和 T4 的管体将充电至 $V_{DD}$。该电压降低了两个晶体管的阈值电压,使运行速度加快。当时钟变为高电平时,CFBB 晶体管关闭,体电压将通过电容分压器大部分进入 T3、T4 和 T8 的内部电容。通过仔细选择 T3、T4 和 T8 的尺寸,可以在再生阶段获得最佳的体电压值。经过此结构,该电路性能相较于其原始结构提高了 14.9%,电路功耗并未增加。

该电路采用晶体管 T8 作为开关管,其已经作为工作管来保证比较器的性能,但是其本身的时钟馈通效应并未消除,也就是说,该电路速度依旧受时钟馈通效应的影响,时钟馈通效应带来的延迟可通过下式计算得出。

$$\Delta V=\frac{C_{ov}}{C_{ov}+C_L}V_{DD}$$
$$t_{delay}=\frac{C_{LN}\times(V_{VDD}+\Delta V)}{I_{D1}} \tag{5}$$

这样,此结构便无法让晶体管的体电压精准跟随 CLK 动作。因此整体比较阶段的延迟也会增加。

## 2 提出的强臂动态比较器

### 2.1 电路结构

针对上述比较器在延时及功耗方面的问题,提出一种强臂动态比较器,如图 3 所示。

根据文献[16]提出的结构来克服时钟馈通效应带来的影响。同时,本文修改了 MSADLC 的结构,将尾电流管去掉,利用 $M_{12}$、$M_{13}$来关闭在复位时的 VDD 到 GND 通路,这样就可以将尾电流管去掉。

同时在复位阶段,将节点 C、D 置位于强 GND

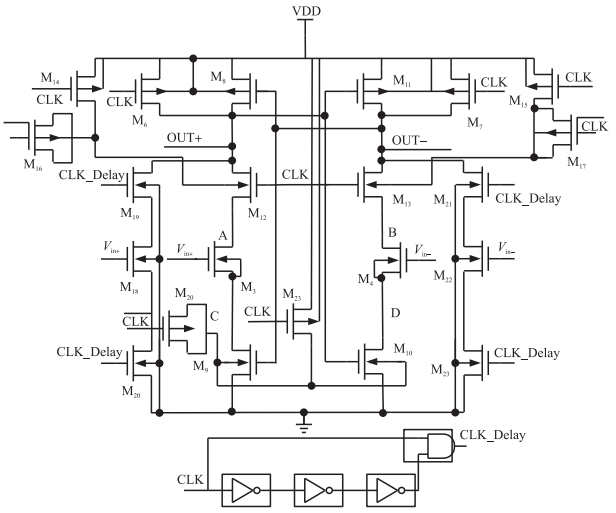


**图 3 强臂动态比较器架构**

态,而在比较阶段时 A、B 点为强 VDD 态,因此在评估开始后,从差分晶体管漏极到源极的电流就会增大。此外由于源极电位较低,输入对管的 $V_{GS}$ 也更高。由于输入对管的跨导是关于 $V_{GS}$ 和 $I_{ds}$,因此增益更高,进而加快比较速度。

此外,改进型 MSADLC 的比较器缺点是只有一条电流路径供负载电容放电,这极大地增加了比较器的延迟时间。为解决该问题,本文通过在输出节点增加并行路径来输出节点跨导,同时,使输出节点处的电容在整个再生过程中快速放电。进一步提升比较速度。此外,通过引入额外的辅助时钟(CLK_Delay)来解决在输出稳定时的比较器内部的额外路径功耗问题。

### 2.2 电路原理

强臂动态比较器的工作过程分为三个阶段:

第 1 阶段:当 CLK=0 时,比较器进入“复位”阶段,在此期间 $M_6$、$M_7$、$M_9$、$M_{10}$开关被激活,图 3 中 OUT+、OUT−被复位到 VDD,节点 C、D 被置位于强 GND 态。在复位模式下 $M_{12}$、$M_{13}$关断,切断 VDD 到 GND 的通路。

第 2 阶段:当 CLK=CLK_Delay=1 时,比较器进入第 2 阶段,即比较阶段。在此阶段,晶体管 $M_6$、$M_7$ 关断,$M_{12}$、$M_{13}$开启,通过 $M_{12}$、$M_{13}$,$M_3$、$M_4$、$M_9$、$M_{10}$以及本文添加的额外路径晶体管 $M_{19}$、$M_{18}$,$M_{20}$、$M_{21}$、$M_{22}$、$M_{23}$放电。输出节点的放电时间由相应的输入电压 $V_{in+}$和 $V_{in-}$决定。如果 $V_{in+}>V_{in-}$,则与 OUT−相比,节点 OUT+放电更快。在此阶段由于本文的修改,节点 C、D 为强 GND 态。而节点 A、B 在 $M_{12}$、$M_{13}$导通后,为强 VDD 态,这样,输入对管的漏极到源极的电流就会增大。此外由于源极电位较低,输入对管的 $V_{GS}$也更高。由于输入对管的跨导是关于 $V_{GS}$和 $I_{ds}$,因

此增益更高,进而加快比较速度。

第 3 阶段:当 OUT+的输出节点电压低于 $V_{DD}-V_{thp}$时,晶体管 $M_8$ 接通并激活交叉连接反相器,从而实现锁存器再生。当 $M_8$ 导通时,OUT+放电至 GND,OUT−则充电至 VDD。同样,如果 $V_{in+}<V_{in-}$,则功能相反。在此阶段,相较于 MSADLC 结构的比较器,本文新添加了额外的放电路径,可加快 OUT+放电至 GND 的过程进而提升比较速度。

在 CLK 切换的过程中,虚拟开关晶体管 $M_{16}$、$M_{20}$、$M_{22}$起到了吸收晶体管 $M_{14}$、$M_{23}$、$M_{15}$的注入电荷的作用,通过这样的设置可消除时钟馈通效应带来的负面影响,同时,基于 CFBB 技术。工作管 $M_{12}$、$M_{13}$、$M_9$、$M_{10}$的阈值电压更低,使输入差分对的漏源电流更大,这样可使比较器的速度提升,功耗降低。

### 2.3　参数分析

#### 2.3.1　延迟分析

延迟分为两部分,即 $t_0$ 和 $t_{latch}$。第一项表示在第一个 PMOS 晶体管接通之前对负载电容放电的时间,第二项则表示两个交叉耦合逆变器的整体锁存延迟。锁存器位于比较器之后,比较器将差分输出电压提升至最大轨至轨电平。其延迟时间可由式(6)给出:

$$t_{latch}=\frac{C_L}{g_{m(eff)}}\times\ln\left(\frac{\Delta V_{out}}{\Delta V_o}\right) \tag{6}$$

延迟是一个对数函数,取决于再生阶段开始时的初始输出电压差。

式中 $g_{m(eff)}$ 表示交叉耦合放大器的有效跨导。$\Delta V_o$ 为:

$$\Delta V_o=|V^+_{out(t=t_0)}-V^-_{out(t=t_0)}| \tag{7}$$

$$\Rightarrow\Delta V_o=|V_{thp}|-\frac{I_{D2}\cdot t_0}{c_L} \tag{8}$$

式中:$I_{D2}$可以被写为$\frac{I_{tail}}{2}$。故 $\Delta V_o$ 可以被表示为:

$$\Delta V_o=|V_{thp}|\left(\frac{\Delta I_{in}}{I_{D1}}\right)\cong 2\times|V_{thp}|\left(\frac{\Delta I_{in}}{I_{tail}}\right) \tag{9}$$

式中:$\Delta V_{in}$代表两个分支之间的差分输入电流。该值明显小于实际电流 $I_{D1}$、$I_{D2}$。据此有式(10):

$$\Delta V_o=2\times|V_{thp}|\sqrt{\frac{\beta_{1,2}}{I_{tail}}}\cdot\Delta V_{in} \tag{10}$$

式中:$\beta_{1,2}$代表晶体管的输入电流因数,其为:

$$\beta_{1,2}=\mu_n C_{ox}\left(\frac{W}{L}\right)_{1,2} \tag{11}$$

式中,$\mu_n$ 为电子迁移率,$C_{ox}$为单位面积栅氧化层电容,$(W/L)_{1,2}$分别为晶体管 $M_1$ 和 $M_2$ 的宽长比。

据此,可以得到总的延迟为:

$$t_{total}=2\times\frac{C_L V_{thp}}{I_{tail}}+\frac{C_L}{g_{m(eff)}}\times\ln\left(\frac{V_{DD}/2}{2\times|V_{thp}|\sqrt{\frac{\beta_{1,2}}{I_{tail}}}\cdot\Delta V_{in}}\right) \tag{12}$$

#### 2.3.2　功耗分析

电源电压在单次比较时间内耗散的平均功率由以下公式决定

$$P_{Avg}=\frac{1}{T}\int_0^T V_{DD}I_D\,dt=f_{clk}V_{DD}\int_0^T I_D\,dt \tag{13}$$

式中:$I_D$ 代表从电源电压吸取的电流,$f_{clk}$是比较器时钟的频率

#### 2.3.3　偏移电压分析

发生偏移的原因有以下所述的各种不匹配参数。它可以表示为输入端的误差范围,在此范围以下,比较器无法检测到指定的最小电压差。因此,比较器的分辨率和速度受到限制,总偏移电压由阈值电压 $\Delta V_T$、负载电阻 $\Delta R_L$、晶体管 $\Delta\beta$ 之间的不匹配决定,据此有式(14):

$$V_{os}=\Delta V_T+\frac{V_{gs}-V_T}{2}\left[\frac{\Delta R_L}{R}+\frac{\Delta\beta}{\beta}\right] \tag{14}$$

从式(14)可以推断出,偏移电压会随着共模电压的降低而降低。

## 3　电路仿真与分析

基于晶合 40 nm CMOS 工艺,采用相同的晶体管尺寸,对设计的比较器、文献[13]和文献[18]比较器以及传统强臂动态比较器进行了仿真对比。电源电压为 2 V,时钟频率为 100 MHz,输出节点的负载电容为 60 fF。

在不同输入共模电压下,对这四种结构比较器的功耗进行了仿真,结果如图 4 所示。四种结构的输入差值电压均为 1 mV。可以看出,传统强臂动态比较器、文献[13]和文献[18]比较器的功耗受输入共模电压变化的影响较大。其中,传统强臂动态比

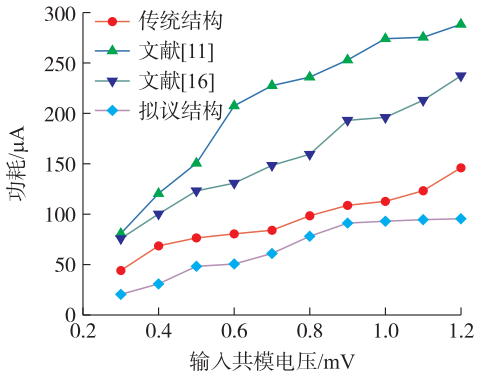


**图 4　四种比较器功耗对比图**

较器的功耗随着输入共模电压的增大而增大,而文献[18]的结构功耗较低,文献[13]的结构次之,得益于本文对输入级的特殊处理以及 CFBB 技术,设计的电路结构功耗最低。

在图 5 中,所有不同拓扑结构的输入差分电压在 1 mV 和 100 mV 之间波动,有无 CFBB 晶体管均是如此。当输入差分电压增加时,所有强臂比较器的性能都会提高。当输入差分电压较小时,可以看到,本设计的速度更快。这得益于 CFBB 技术,以及对输入晶体管的特殊处理。

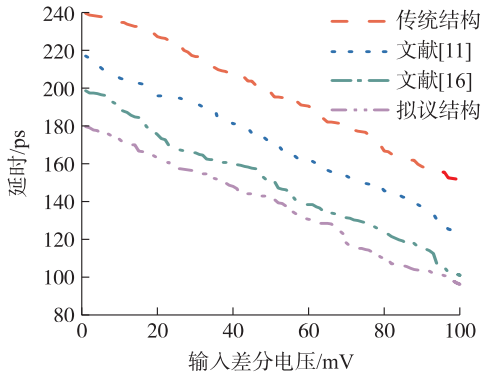


**图 5 四种比较器延时对比图**

表 1 列出了四种比较器的性能参数。仿真条件均为晶合 40 nm CMOS 工艺,电源电压为 2 V,时钟频率为 100 MHz,负载电容为 10 fF,共模输入为 1.5 V,输入差值电压为 10 mV。可以看出,在功耗及延迟上,本文设计的比较器具有绝对优势,这得益于本文对传统强臂比较器进行的多项改进,首先,在改进的结构中,输入差分对被放置在交叉耦合 NMOS 对管的上方,使输入对管的源极在复位阶段被置于强 GND 状态,同时在输入对管上方引入级联晶体管,意在复位状态下切断电源至地的通路,而无需尾电流管进行关断,这可极大地降低比较器的静态功耗。在比较阶段,这样的设计会在输入对管上产生较大的源漏电流,进而提升比较速度。此外,级联的晶体管实现了高增益放大,进一步加快了比较器在比较阶段的比较速度。为了提升再生阶段的速度,本文在输出节点添加了额外的放电通路,旨在提升再生阶段的速度。通过引入 CFBB 技术,降低级联晶体管和工作管的阈值电压,从而提升了比较阶段的速度。为了消除时钟馈通效应所带来的不利影响,本文在 CFBB 开关晶体管路径内引入了虚拟开关管。该虚拟开关管通过吸收主晶体管的注入电荷,从而有效减少了由于时钟馈通效应导致的延迟。

虽然这样的改进提升了比较器的性能,但也增加了晶体管的数量,使版图面积增大,与传统结构相比,版图面积增加了 17.2%,与文献[11]相比面积增加了 16.5%,与文献[16]相比面积增加了 16.9%,同时,比较器的版图设计需要考虑对称性,合理的匹配才会带来更好的比较器性能,而严苛的匹配要求则会进一步压缩版图的设计空间,这为 OTP NVM 的外围电路的版图设计带来了极大的挑战,也增加了整体的版图面积开销。

**表 1 四种动态比较器的指标**

| 性能参数 A | 传统结构 | 文献[11] | 文献[16] | 本文结构 |
|---|---|---|---|---|
| 工艺/nm | 40 | 40 | 40 | 40 |
| 延时/ps | 200 | 195 | 175 | 40 |
| 失调/mV | 6.23 | 6.01 | 5.75 | 4.82 |
| 功耗/μA | 40.26 | 80.23 | 70.25 | 25.36 |

完成电路的设计后需要进行相应的版图绘制[19],设计的比较器版图面积为 1 550.96 $\mu m^2$,图 6 为对应的版图。

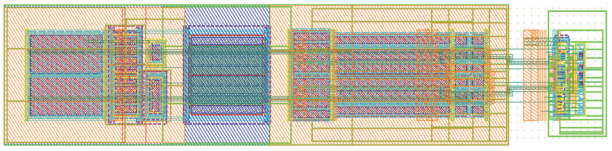

**图 6 动态比较器版图**

完成版图绘制后应进行后仿真分析,通过后仿真可以精确地评估电路的速度,以及寄生参数带来的影响,后仿真结果如表 2 所示。

**表 2 前、后仿真结果对比**

| 性能参数 A | 前仿结果 | 后仿结果 |
|---|---|---|
| 延时/ps | 40 | 57 |
| 失调/mV | 4.82 | 5.03 |
| 功耗/μA | 25.36 | 26.32 |

可以看到后仿真参数相较于前仿真有些下降,这说明对应的器件匹配还可以进一步地提升。

为了验证该设计是否有效地提高了读取电路的读出速度和降低其功耗,将此结构用于晶合 40 nm 工艺节点的 OTP NVM 设计上,图 7 所示为所搭载本结

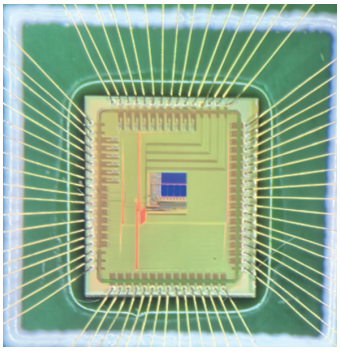

**图 7 搭载本结构的 OTP NVM**

构的强臂比较器的 OTP NVM 芯片,图 8 所示为 CLK 到 OUT 的输出时间。测试环境为 $V_{DD}$ = 1.8 V,$V_{CC}$ = 3.3 V,其中供给强臂比较器电压为 2 V,表 3 为搭载传统的动态比较器的 OTP NVM 参数对比总结,可以看到在读出速度、芯片良率以及功耗的对比上,本结构带来了明显的提升和优化。

**图 8　CLK 到 OUT 的输出时间**

**表 3　实测 OTP NVM 性能对比**

| 性能参数 | 读出时间/ns | 功耗/μA | 全部单元数 | 读 1 失败 | 读 0 失败 | 准确率/% |
|---|---|---|---|---|---|---|
| 搭载本结构的 OTP NVM | 2.36 | 27.39 | 2 304 | 1 | 0 | 99.95 |
| 搭载传统结构的 OTP NVM | 20.23 | 100.45 | 2 304 | 39 | 0 | 98.94 |

使用 T5830 测试机进行测试,测试过程使用数据保留测试方法,通过加速老化测试模拟长期使用中的数据保持性能;通过此方法,能够评估存储器在高温、高湿等极端条件下的表现,确保其在实际应用中的稳定性和耐用性。

上述结果表明,本文提出的动态比较器在读出时间和功耗等表现上均优于传统动态比较器,且读取准确率也更加优秀。

针对温度范围可以达到-40 ℃和低电源电压的环境进行了测试,其给定电压为 $V_{DD}$ = 1.44 V,$V_{CC}$ = 2.64 V,其中供给强臂比较器电压为 2 V,温度为 -40 ℃,其测试结果如表 4 所示。

**表 4　低压下实测 OTP NVM 性能对比**

| 性能参数 | 读出时间/ns | 功耗/μA | 全部单元数 | 读 1 失败 | 读 0 失败 | 准确率/% |
|---|---|---|---|---|---|---|
| 搭载本结构的 OTP NVM | 4.69 | 14.20 | 2 304 | 2 | 0 | 99.91 |
| 搭载传统结构的 OTP NVM | 30.67 | 78.45 | 2 304 | 45 | 0 | 98.04 |

上述结果表明,在面对温度低至-40 ℃以及低电源电压的环境时,本文提出的结构相较于传统结构的性能损失较小,仍能保持 99.91%的读取准确率,满足了低电源电压和温度范围可以达到-40 ℃的恶劣环境下的读取要求。

## 4　结论

本文提出了一种创新型低功耗、低延迟的强臂动态比较器。通过将输入差分对置于交叉耦合 NMOS 对管的上方,在复位阶段将输入对管的源极置位于强 GND 态。此外,通过在输入对管上方引入级联晶体管,使其在复位状态下切断电源至地的通路,从而无需尾电流管来实现关断,显著降低了静态功耗。在比较阶段,该设计能够在输入对管上产生极大的源漏电流,显著提升比较速度。同时,输入对管上方的漏端串联晶体管实现了高增益放大,进一步加快了比较器的响应速度。为进一步提升再生阶段的速度,设计中在输出节点添加了额外的放电通路,从而提升了整体比较速度。

针对低电源电压下的工作挑战,本文基于 CFBB 技术,降低了级联晶体管和工作管的阈值电压,从而提升了比较阶段的速度。为减缓时钟馈通效应带来的负面影响,本文在 CFBB 开关管通路中引入了虚拟开关晶体管,通过吸收主晶体管的注入

电荷,减少了时钟馈通效应所致的延迟。

通过实际流片验证,结果显示该比较器在功耗和延迟等方面具有显著优势,并且对输入共模电压变化具有较低的敏感性,失调电压较小。因此,该比较器适用于低功耗和高速读取等设计需求。

**参考文献:**


[1] Hsieh E R, Luo Y M, Huang Y X, et al. 1-Transistor 1-Source/Channel/Drain-Diode(1T1D) One-Time-Programmable Memory in 14-nm FinFET[J]. IEEE Electron Device Letters, 2023, 44(3): 404-407.

[2] 冯平,尹家宇,宋长坤,等. 非易失性静态随机存储器研究进展[J]. 半导体技术,2022,47(1):1-8,18.

[3] 余飞,高雷,宋云,等. 低延迟低电压电流比较器[J]. 半导体技术,2019,44(8):595-599,634.

[4] Divya, Mittal P. Parametric Extraction and Comparison of Different Voltage-Mode based Sense Amplifier Topologies [C]//2021 3rd International Conference on Advances in Computing, Communication Control and Networking (ICAC3N), Greater Noida, India, IEEE, 2021: 1192-1196.

[5] Melikyan V, Harutyunyan S, Khachatryan A, et al. A Novel Voltage Mode High Speed Sense Amplifier[C]// 2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO), Kyiv, Ukraine, 2019: 120-123.

[6] Spinogatti V, Sala R D, Bocciarelli C, et al. An Improved Strong Arm Comparator with Integrated Static Preamplifier [J]. IEEE Access, 2023, 11: 91724-91737.

[7] Figueiredo P M, Vital J C. Kickback Noise Reduction Techniques for CMOS Latched Comparators [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2006, 53(7): 541-545.

[8] Halim I S A, Abidin N A N B Z, Rahim A A A. Low Power CMOS Charge Sharing Dynamic Latch Comparator Using 0.18 μm Technology [C]//2011 IEEE Regional Symposium on Micro and Nano Electronics, Kota Kinabaru, Malaysia, 2011: 156-160.

[9] Kobayashi T, Nogami K, Shirotori T, et al. A Current-Controlled Latch Sense Amplifier and a Static Power-Saving input Buffer for Low-Power Architecture [J]. IEEE Journal of Solid-State Circuits, 1993, 28(4): 523-527.

[10] Razavi B. The StrongArm Latch [A Circuit for All Seasons][J]. IEEE Solid-State Circuits Magazine, 2015, 7(2): 12-17.

[11] Bandla K, A. H, Pal D. Design of Low Power, High Speed, Low Offset and Area Efficient Dynamic-Latch Comparator for SAR-ADC[C]//2020 International Conference on Innovative Trends in Communication and Computer Engineering (ITCE), Aswan, Egypt, IEEE, 2020: 299-302.

[12] Bandla K, Krishnan A H, Sethi S, et al. Design of High Speed and Low Offset SR Latch Based Dynamic Comparator [C]//2020 IEEE Region 10 Symposium (TENSYMP), Dhaka, Bangladesh, 2020: 52-55.

[13] Bandla K, Pal D. Strong-ARM Dynamic Latch Comparators: Design and Analyses on CAD Platform [J]. International Journal on Electronics and Communication Engineering, 2024, 11(3): 87-95.

[14] Qin C, Cai Z Y. Bootstrapped Complementary Switches for High-Precision Sampling [C]//2023 IEEE International Symposium on Circuits and Systems (ISCAS), Monterey, CA, USA, 2023: 1-5.

[15] Patel A, Sadiwala R. Low Voltage CMOS Switch Capacitor Circuit[C]//2021 7th International Conference on Electrical Energy Systems (ICEES), Chennai, India, 2021: 629-634.

[16] Malek S, Abdallah S, Chehab A, et al. Low-Power and High-Speed Shift-Based Multiplier for Error Tolerant Applications[J]. Microprocessors and Microsystems, 2017, 52: 566-574.

[17] Assaderaghi F, Sinitsky D, Parke S A, et al. Dynamic Threshold-Voltage MOSFET (DTMOS) for Ultra-Low Voltage VLSI [J]. IEEE Transactions on Electron Devices, 1997, 44(3): 414-422.

[18] Alshehri A, Al-Qadasi M, Almansouri A S, et al. StrongArm Latch Comparator Performance Enhancement by Implementing Clocked Forward Body Biasing[C]//2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Bordeaux, France, 2018: 229-232.

[19] 李新,杨国坤,王业飞. 一种低功耗高增益复合共源共栅放大器[J]. 微电子学,2013,43(4):472-475,483.

**李 新**(1974—),男,辽宁昌图人,博导,教授,研究方向为数模混合集成电路设计,lixin@sut.edu.cn;

**董志鹏**(1997—),男,辽宁丹东人,硕士,研究方向为数模混合集成电路设计,1556538353@qq.com。