Design of Analog Front-End Circuits for Detecting Ballistocardiogram Signals*

XIAO Yang[1], JIANG Xianglong[1], ZHANG Jiahong[1,2*], HUA Wenhao[1], YANG Fan[1]
(1.School of Integrated Circuits, Nanjing University of Information Science & Technology, Nanjing Jiangsu 210044, China;
2.Jiangsu Collaborative Innovation Center on Atmospheric Environment and Equipment Technology,
Nanjing University of Information Science and Technology, Nanjing Jiangsu 210044, China)

Abstract: Targeting at the problem of aging population, an analog front-end circuit for detecting ballistocardiogram signals is designed and implemented. The circuit system is composed of signal conditioning circuit, bandpass filter, low-dropout linear voltage regulator (LDO) and successive approximation analog-to-digital converter (SAR ADC). Compared with traditional analog front-end circuits, the power supply stability of the circuit system is improved by the addition of on-chip LDO modules in the design. Based on HHGrace 0.18 μm CMOS technology, the circuit is designed and simulated by using the Cadence Spectre tool. The simulation results show that when the input voltage varies within the range of 3.4 V ~ 5.0 V, LDO can stably output a voltage of 3.3 V. This analog front-end circuit can achieve accurate digital output, with signal to noise distortion ratio (SNDR) of 73.7 dB, spurious free dynamic range (SFDR) of 82.9 dBc, and effective number of bit (ENOB) of 11.53 bits.

Key words: ballistocardiogram signal; signal conditioning circuit; bandpass filter; low-dropout regulator; analog-to-digital converter
EEACC: 1205 **doi**: 10.3969/j.issn.1005-9490.2026.04.005

用于心冲击信号检测的模拟前端电路设计*

肖 扬[1], 蒋相龙[1], 张加宏[1,2*], 华文浩[1], 杨 帆[1]
(1.南京信息工程大学集成电路学院, 江苏 南京 210044;
2.南京信息工程大学江苏省大气环境与装备技术协同创新中心, 江苏 南京 210044)

摘 要: 针对目前人口老龄化愈发严重的问题, 设计实现了可检测心冲击信号的模拟前端电路。电路系统包含信号调理电路、带通滤波器、逐次逼近型模数转换器(SAR ADC)和低压差线性稳压器(LDO)等模块。与传统模拟前端电路相比, 设计中增加了片上 LDO 模块, 提高了电路系统的供电稳定性。电路基于 HHGrace 0.18 μm CMOS 工艺进行设计, 采用 Cadence Spectre 工具完成仿真。仿真结果表明, 输入电压在 3.4 V~5.0 V 范围内变化时, LDO 均可稳定输出 3.3 V 电压, 该模拟前端电路能实现准确的数字输出, 信噪失真比(SNDR)为 73.7 dB, 无杂散动态范围(SFDR)为 82.9 dBc, 有效位数(ENOB)达到 11.53 bit。

关键词: 心冲击信号; 信号调理电路; 带通滤波器; 低压差线性稳压器; 模数转换器
中图分类号: TN492 **文献标识码**: A **文章编号**: 1005-9490(2026)04-0751-09

根据国家人口普查数据, 我国已于上世纪末进入老龄化社会[1], 利用各类医疗产品对有健康隐患的老年人进行长期有效的监护, 并及早制定干预措施, 能显著降低患严重疾病的风险。便携式医疗电子产品以其结构小巧、即拿即用等特点, 已逐渐成为众多医疗产品中的佼佼者, 社会认可度也在不断提升。生物技术与微电子技术的飞速发展, 使得集成电路与生物医学结合成为可能, 这给便携式医疗电子产业的发展带来了很大的影响。便携式医疗电子产品通常包含检测、处理、终端显示三个部分, 而生理信号检测和处理作为便携式医疗电子产品中的重要环节, 其精确与否直接决定整个产品性能优劣, 因此利用集成电路技术设计生理信号检测和处理模拟前端电路具有重要价值[2]。

心冲击信号(Ballistocardiogram Signals, BCG)作为生理信号的一种, 它是人体最原始与最直接的信号, 包含着人体心脏的各种功能信息, 对心冲击信号进行检测已经成为临床诊断心血管疾病的一项重要依据, 因此, 心冲击信号常作为便携式医疗电子产品的检测信号[3-4]。但从体表检测出的心冲击信号不

项目来源: 国家重点研发计划项目(2022YFB3205902); 江苏省高等学校大学生实践创新训练计划项目(202310300076Y)
收稿日期: 2024-08-02 **修改日期**: 2024-10-21

仅频率较低、幅值较小,而且极易受到外界的干扰,对这种信号直接进行分析处理,会产生较大的误差。此外,为满足即拿即用的特征,便携式医疗电子产品通常采用电池供电,但使用者一般都希望该类电子产品能够长时间使用,如果功耗过大则需要频繁更换电池,十分不便,同时,随着时间的积累,电池的供电电压会慢慢降低,电压波动会影响产品的正常使用,给使用者带来诸多困扰。因此虽然便携式医疗电子产品发展前景广阔,但目前仍亟需一种用于心冲击信号检测与处理的模拟前端电路来解决以上问题。为此,本文设计实现了一种可检测心冲击信号的模拟前端电路,它能实现信号调理转换和准确的数字输出。与传统模拟前端电路相比,增加了片上低压差线性稳压器(Low-Dropout Linear Voltage Regulator,LDO)模块,提高了电路系统的供电稳定性。

1 电路设计和分析

本文设计的心冲击信号检测和处理模拟前端电路主要包含四个模块:信号调理电路、带通滤波器、逐次逼近型模数转换器(Successive Approximation Analog-to-Digital Converter,SAR ADC)和低压差线性稳压器。信号调理电路由电荷放大器、电压跟随器、电压抬升器和电压比较器构成,实现对微弱心冲击信号的放大转换;带通滤波器对信号调理电路输出信号进行滤波处理,实现 1 Hz~45 Hz 的通带滤波,去除带外噪声,避免后续的模数转换出现偏差;逐次逼近型模数转换器将滤波后的模拟信号转换为数字信号,方便后续单片机进一步处理;低压差线性稳压器为整个模拟前端电路提供稳定电压,电路整体结构如图 1 所示。

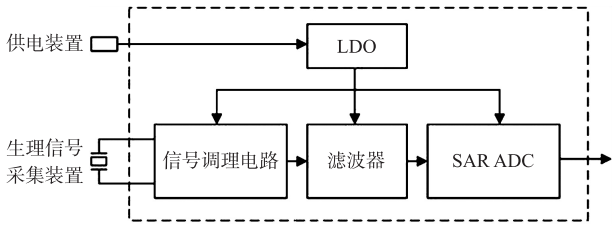


图 1 本文提出的模拟前端电路结构框图

1.1 信号调理电路的设计

采用图 2 所示的信号调理电路代替传统仪表放大器,该电路由三级运放 A1、A2、A3,电阻 R_1-R_5 和电容 C_1-C_3 组成。由于心冲击信号比较微弱,本调理电路将采集的微弱信号经过电荷放大、电压抬升等处理,以达到对微弱信号的放大和比较。该信号调理电路包括四个部分:电荷放大器、电压跟随器、电压抬升器和电压比较器。

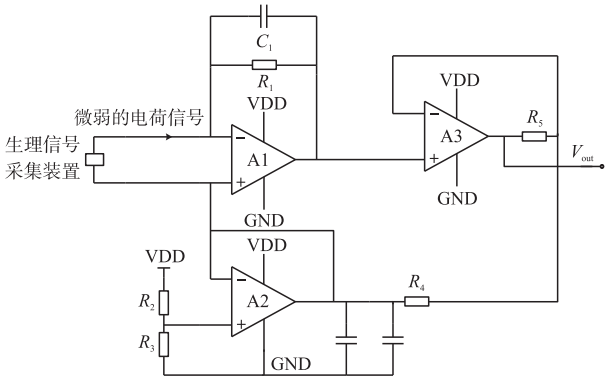


图 2 信号调理电路结构框图

该电路工作原理如下:电荷放大器由运放 A1 和电阻 R_1、电容 C_1 构成,这部分负责接收生理采集装置输出的微弱电荷信号,将其转换为电压信号,并输出给电压跟随器。电压跟随器由运放 A2 和 V_{DD} 分压电路构成,其目的是为了跟随并输出第一级的电压信号,同时通过 V_{DD} 分压电路调整信号电压,使其满足后续电压抬升电路的需求。电压抬升器由跟随电压与运放 A1 构成,主要是将电压信号抬升 1.65 V,以满足 ADC 的电压转换范围。电压比较器由运放 A3 构成,将经过抬升叠加后的混合非正弦信号整形放大为占空比不同的矩形波,然后通过 V_{out} 端输出。利用工频信号与心冲击信号叠加的方式,当输入信号中无心冲击信号时,输出占空比约为 50%的方波信号,当输入信号为工频信号叠加心冲击信号时,输出占空比变化的方波信号。

由于输入的心冲击信号幅度较小、频率较低,信号调理电路中的运放需要有较高的输入阻抗和较高的增益[5],本文采用了一种改进型折叠式共源共栅运放,它拥有更高的增益和输入阻抗,其原理如图 3 所示,它利用自适应偏置电路代替尾电流源,这样可以设置低静态电流,同时可以在差分输入对上为大

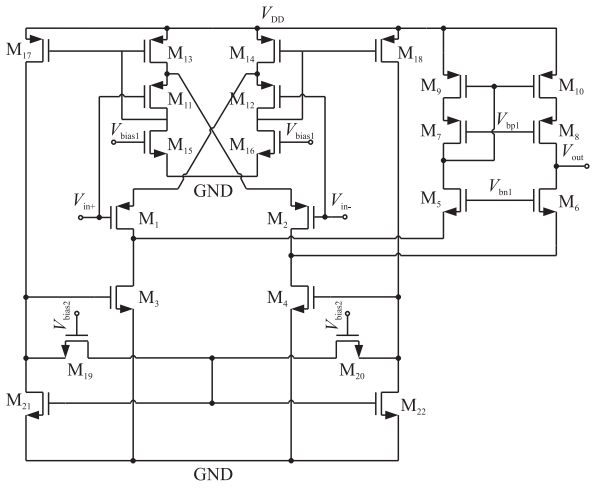


图 3 改进型折叠式共源共栅运放

输入信号生成动态电流,而不受尾电流源的影响。反馈回路通过重新使用输入晶体管产生的电流来驱动空闲的折叠电流源管 M_3(M_4),从而提升运放的增益。

具体来讲,以电路的左半边为例,电压跟随器通过晶体管 M_{15}实现 M_{11}以直流电流 0.5I 偏置,M_{13}以直流电流 I 偏置,M_{17}和 M_{13}构成一个 1∶2 电流镜,M_{21}和 M_3 构成一个 1∶3 电流镜,通过晶体管 M_{19}以重新使用输入差分对的电流来驱动 M_3。在静态条件下,$V_{SG1}=V_{SG2}=V_{SG11}=V_{SG12}$,故差分输入对的静态电流为 0.5$I$,$M_{17}$支路上电流与差分输入对电流相等,即 0.5$I$,$M_3$ 上流过的电流为 1.5I,输出回路上流过的电流为 I。当 $V_{id}>0$ 时,M_1 上流过的电流 I_1 小于 M_2 上流过的电流 I_2,通过反馈回路使得 M_{18}上电流 I_{18}小于 M_{17}上电流 I_{17},因此晶体管 M_{19}上产生 $r_{o19}(I_2-I_1)/2$ 的压降,该压降被添加到 M_3 的栅极电压中去;同理,当 $V_{id}<0$ 时,M_4 栅极电压增加,因此运放的增益得到提升。

1.2　带通滤波器

由于心冲击信号检测过程中会受到外界各种强噪声的干扰,例如:工频噪声、共模信号噪声、肢体活动噪声、外界环境噪声、设备本身的噪声等。其中工频噪声频率为 50 Hz[6],其余噪声一般为低于 1 Hz 的低频噪声,所以只要设计一个通带频率为 1 Hz~45 Hz 的带通滤波器即可有效滤除噪声,得到纯净的心冲击信号信息,也即需要一个截止频率为 45 Hz 的低通滤波器和一个截止频率为 1 Hz 的高通滤波器。图 4 给出了设计的带通滤波器,其中运放采用上节中改进型折叠式共源共栅运放。

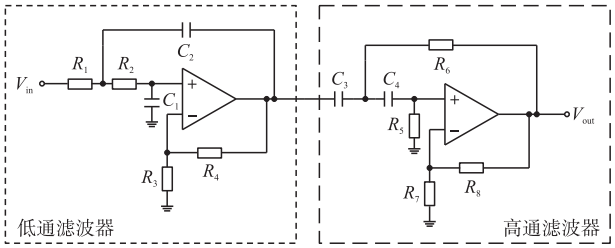


图 4　带通滤波器

1.3　低压差线性稳压器

低压差线性稳压器作为一种稳压电源模块,具有输出纹波小、噪声低等特点[7]。针对心冲击信号检测与处理模拟前端电路,本文设计了一款 LDO,使得电池电压在一定范围内波动时,LDO 能给整体电路提供稳定的 $V_{DD}=3.3$ V 的电压。LDO 系统框图见图 5,主要包括带隙基准、误差放大器、功率管、辅助电路等[8]。

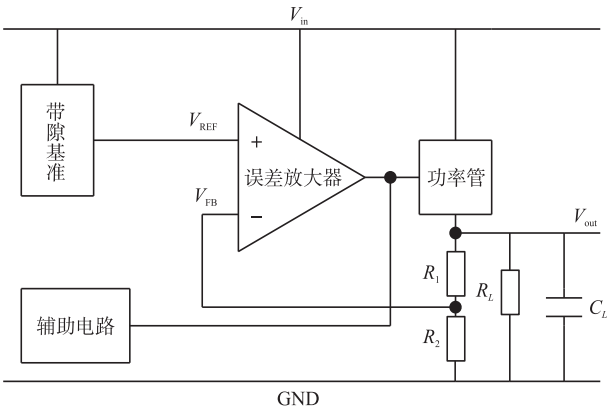


图 5　LDO 系统框图

1.3.1　带隙基准

带隙基准稳压电路的基本原理是将具有负温度特性的基极-发射极电压(V_{BE})与正温度特性的基极-发射极差值(ΔV_{BE})以合适的权重相加,最终获得具有零温度系数的基准电压[9]。本文设计的 LDO 中带隙基准如图 6 所示,电路中虚线所框出的部分 A 为启动电路,虚线所框出部分 B 为基准产生电路,其工作原理为:当 V_b 端输入一个合适的电压时,晶体管 M_{21}导通,使得 M_{24}的栅极变为高电平,从而使得 M_{24}导通;M_{25}的栅极变为高电平,M_{25}导通;晶体管 M_{11}、M_{12}和电阻 R_6 构成自偏置电路,当 M_{25}导通时,M_{12}栅极变为低电平,同时在电阻 R_6 的作用下,电路上方的电流镜中各个晶体管栅极获得启动电压,从而使得整个电路启动;电路启动后,电容 C_1 不断地进行充电,上极板电位逐渐上升,即 M_{23}的栅极电位不断上升,当 M_{23}栅极电压大于阈值电压时,M_{23}导通,将 M_{24}的栅极变为低电平,M_{24}关断,启动电路不再消耗静态电流。

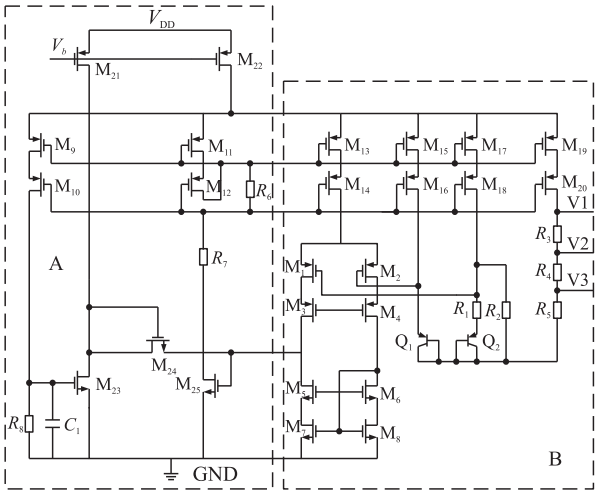


图 6　带隙基准电路图

基准产生电路的工作原理为:晶体管 M_1~M_8 构成运放,M_1 的栅极作为运放的同相输入端 V_{in+},

M_2 的栅极作为运放的反相输入端 V_{in-}，根据运放虚短特性，有 $V_{in+}=V_{in-}$，又有 $V_{in-}=V_{BE1}$，故 R_1 上的电压为 $V_{in+}-V_{BE2}=V_{BE1}-V_{BE2}=\Delta V_{BE}$，$R_2$ 上的电压为 $V_{in+}=V_{BE1}$，故电流镜 M_{17}、M_{18} 支路中电流为 $\frac{\Delta V_{BE}}{R_1}+\frac{V_{BE}}{R_2}$，通过电流镜电流的 1∶1 复制，在 M_{19}、M_{20} 支路上同样产生电流 $\frac{\Delta V_{BE}}{R_1}+\frac{V_{BE}}{R_2}$，所以有：

$$V_1=\frac{R_3+R_4+R_5}{R_1}\Delta V_{BE}+\frac{R_3+R_4+R_5}{R_2}V_{BE} \quad (1)$$

$$V_2=\frac{R_4+R_5}{R_1}\Delta V_{BE}+\frac{R_4+R_5}{R_2}V_{BE} \quad (2)$$

$$V_3=\frac{R_5}{R_1}\Delta V_{BE}+\frac{R_5}{R_2}V_{BE} \quad (3)$$

通过选择合适的电阻值，可以产生 V_1、V_2、V_3 等不同大小的零温度系数电压提供给后续电路。

1.3.2 误差放大器

图 7 为本文设计 LDO 中误差放大器原理图，其中 M_4、M_5 输入对管，作为 PMOS 共源放大管，M_{12}、M_{13} 作为 NMOS 共栅放大管，$M_8\sim M_{11}$ 作为一对共源共栅电流镜，将差分输入电压转换为单端电压输出，M_2 为差动放大器提供尾电流。

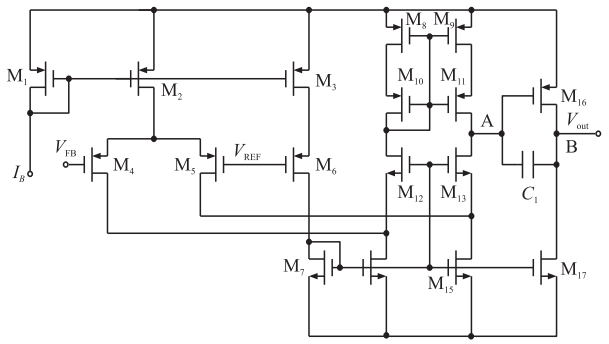


图 7 误差放大器原理图

相比于传统的折叠式共源共栅运放，该电路提出了两点改进：①M_3、M_6、M_7 构成偏置电路，并将 M_6 栅极与输入晶体管 M_5 栅极短接，通过 $M_1\sim M_3$ 构成的电流镜复制电流 I_b 为电路提供稳定的偏置电流；②晶体管 $M_{10}\sim M_{13}$ 采用了低阈值电压器件，将其栅极与相应的 M_8、M_9 和 M_{14}、M_{15} 的栅极相连，这样可以保证其工作在饱和状态，而不需要额外的偏置。它的原理为：记 M_{14} 的漏极电压为 V_D，阈值电压为 V_{TH14}，栅极电压为 V_G，要保证 M_{14} 工作在饱和区，则需要 $V_G<V_D+V_{TH14}$；记 M_{12} 的漏极电压为 $2V_D$，阈值电压为 V_{TH12}，因为栅极短接，所以栅极电压也为 V_G，要保证 M_{12} 也工作在饱和区，则需要 $V_D+V_{TH12}<V_G<2V_D+V_{TH12}$，综合以上两式，则有 $V_D+V_{TH12}<V_D+V_{TH14}$，也即 $V_{TH12}<V_{TH14}$，所以当 M_{12} 的阈值电压小于 M_{14} 的阈值电压时，两个晶体管均可工作在饱和区，同理，当 M_{10}、M_{11} 为低阈值电压器件时，$M_8\sim M_{11}$ 亦可同时工作。此外由于该误差放大器的主体为 OTA 结构，PMOS 作为差分输入对的噪声更小，对电源纹波的抑制能力更强，所以本文采用 PMOS 作为差分输入对管。由于该误差放大器由两级运放构成，在第一级运放的输出端存在一个主极点，第二级运放的输出端存在一个次主极点，通过密勒补偿电容 C_1 进行频率补偿，保证其环路的稳定性。

1.4 逐次逼近型模数转换器

ADC 是模拟前端电路中的关键部分，用于对模拟量进行量化，转换为数字信号[10]。考虑到 SAR ADC 相比于其他结构具有结构简单、功耗低、可实现中等分辨率的优势，本文采用片上 SAR ADC 完成对生物信号的量化处理[11]。设计的 12 bit SAR ADC 结构如图 8 所示，主要包括：采样保持电路、DAC、比较器和逻辑控制电路等。

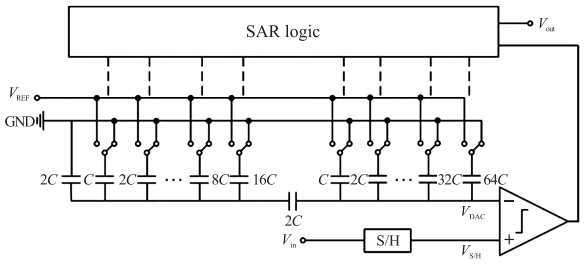


图 8 SAR ADC 整体架构

1.4.1 采样保持电路

采样保持电路如图 9 所示，该电路选用了非线性失真最小的栅压自举结构，其工作原理为：当 clk1 为低电平时，clk2、clk3 为高电平，晶体管 M_3、M_4、M_7、M_{10} 处于导通状态，$V_a=V_b=V_c=0$，此时电容 C_1 的下极板电位为 0，上极板电位逐渐上升，最终达到 V_{DD}，电路处于保持状态，当 clk1 为高电平时，clk2、clk3 为低电平，晶体管 M_5、M_6、M_8、M_9 处于导通状态，$V_a=V_{in}$，$V_c=V_{DD}$，此时电容 C_1 的下极板电位为 V_{in}，由于电容两端的电压不能突变，所以其上极板电位为 $V_{in}+V_{DD}$，

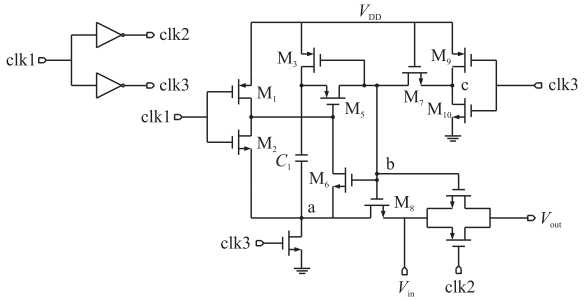


图 9 采样保持电路

也即 $V_b=V_{in}+V_{DD}$,CMOS 互补开关中 NMOS 的栅极电压为 $V_b=V_{in}+V_{DD}$,源极电压为 $V_a=V_{in}$,栅源电压 V_{gs} 为一个恒定值 V_{DD},所以导通电阻的阻值恒定,有效降低了采样开关的非线性失真。相较于基础结构的栅压自举开关,通过对电路结构的改进,自举电容的充放电速度得以提升,因此采样速度有所改善,同时晶体管 M_6、M_7 的引入还可以有效地保护电路。

1.4.2　比较器

电压比较器用于对输入电压信号进行鉴别与比较,组成非正弦波发生电路[12]。由于模数转换器采用逐次逼近型,对比较器的速度和分辨率提出一定的要求,为此,在比较器的设计中增加了预放大锁存结构来获得较高的工作速度和分辨率[2],设计的比较器由三部分组成:预放大级、锁存比较级和输出级。其中预放大级主要用来进行噪声隔离并提供一定的增益,从而提升比较器的精度,降低比较时间,它的结构如图 10 所示。

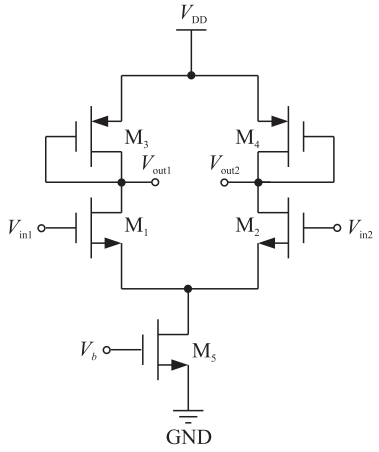


图 10　预放大级电路

锁存比较级将预放大级放大后的模拟信号进行判定,输出逻辑电平,它的原理如图 11 所示,其中晶体管 M_7、M_{12}作为输入对管;晶体管 M_6、M_{11}和晶体管 M_4、M_8 分别构成锁存结构,该结构可以控制电路输出逻辑电平;晶体管 M_5、M_{10}作为一对开关管,通过时钟信号 clk 控制晶体管 M_5、M_{10}通断,从而控制整个电路是否处于工作状态,有效降低电路的功耗;晶体管 M_3、M_9 作为复位管;晶体管 M_1、M_2 和晶体管 M_{13}、M_{14}分别构成反相器。它的工作原理为:当 clk 为高电平时,系统正常工作,开关管 M_5、M_{10}导通,复位管 M_3、M_9 关断,当 $V_{in1}>V_{in2}$时,此时输入对管 M_7、M_{12}处于线性区,所以有 $R_{on7}<R_{on12}$,晶体管 M_6 的漏极电压下降速度大于晶体管 M_{11}漏极电压下降速度,当 M_6 漏极电压降低时,与之连接的 M_4 漏极电压和 M_8 栅极电压也会降低,从而导致 M_8 漏极电压和 M_4 栅极电压升高,因此 M_4 漏极电压会进一步降低,重复上述过程,最终 M_4 的漏极电压降为 0,M_8 的漏极电压升到 V_{DD},此时 $V_{out1}=1$,$V_{out2}=0$,同理当 $V_{in1}<V_{in2}$时,$V_{out1}=0$,$V_{out2}=1$;当 clk 为低电平时,系统处于复位状态,开关管 M_5、M_{10}关断,复位管 M_3、M_9 导通,$V_{out1}=V_{out2}=0$。

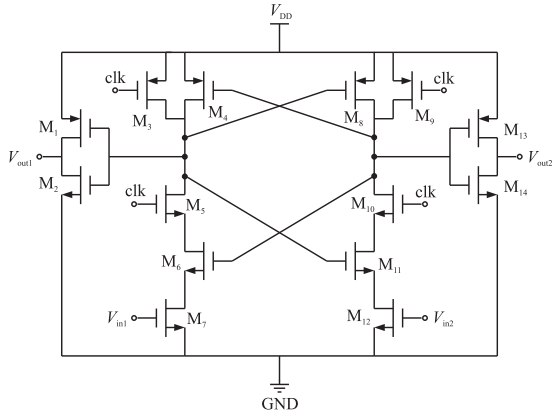


图 11　锁存比较级电路

输出级主要给比较器提供一定增益,并使输出逻辑电平更加稳定,其电路结构如图 12 所示。其工作原理为:当 $V_{in1}=0$,$V_{in2}=0$ 时,晶体管 M_1、M_2 截止,晶体管 M_7、M_8 导通,晶体管 M_3、M_4 和晶体管 M_5、M_6 分别构成一个锁存结构,此时处于保持状态;当 $V_{in1}=0$,$V_{in2}=1$ 时晶体管 M_1、M_8 截止,晶体管 M_2、M_7 导通,使得 $V_{out1}=0$,$V_{out2}=1$。同理,当 $V_{in1}=1$,$V_{in2}=0$ 时,$V_{out1}=1$,$V_{out2}=0$;当 $V_{in1}=1$,$V_{in2}=1$ 时,$V_{out1}=1$,$V_{out2}=1$。

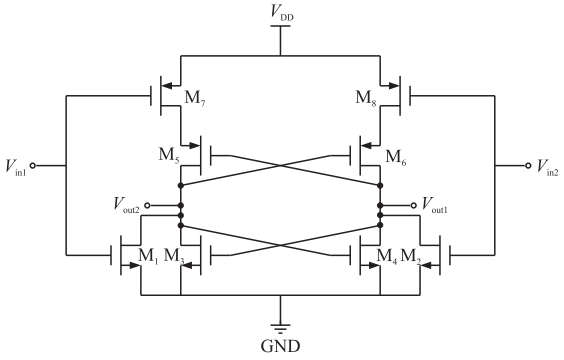


图 12　输出级电路

1.4.3　逻辑控制电路

逻辑控制电路如图 13 所示,其中 F0~F11 为 JK 触发器,DF0~DF14 为 D 触发器,GA-GL 为三态门;JK 触发器作为一种逐次逼近寄存器,D 触发器作为一种移位寄存器,DF0、G1、G2 作为启动电路;clk 为时钟信号;EN 为使能信号;V_c 是比较器输出信号;b_{11}~b_0 是 DAC 的输入码字,用于控制 DAC 电容下极板在 V_{REF}和 GND 之间切换;D_{11}-D_0 是 ADC 的并行输出;EOC 用于表征 12 位数字码是否转换完成。

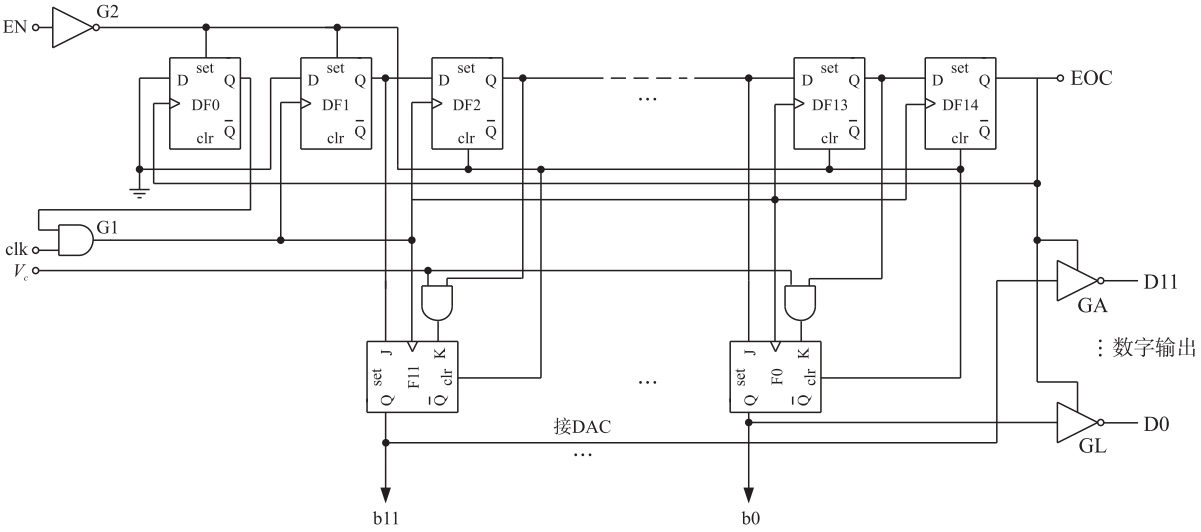


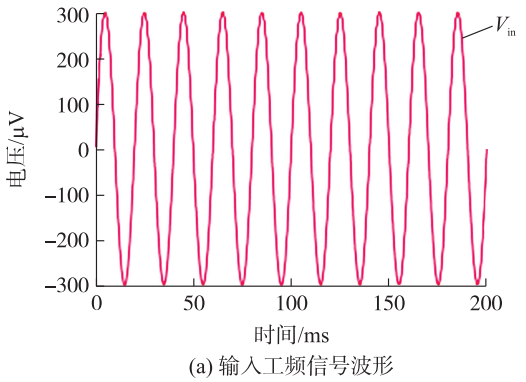
图 13 逻辑控制电路

2 电路的仿真分析

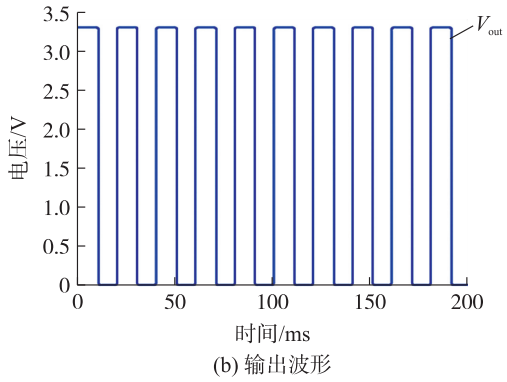
利用 HHGrace 0.18 μm CMOS 工艺仿真模型和 Cadence Spectre 仿真软件对设计的电路进行仿真。

2.1 信号调理电路的性能仿真

图 14 所示是输入频率为 50 Hz,幅值为 0.3 mV 正弦波的信号调理电路仿真结果,又由于工频信号通常是指频率为 50 Hz 的信号,可以看出,信号调理电路输入工频信号时,输出占空比为 50% 的方波信号。



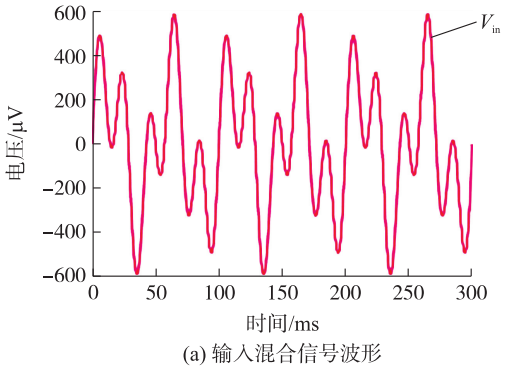
(a) 输入工频信号波形



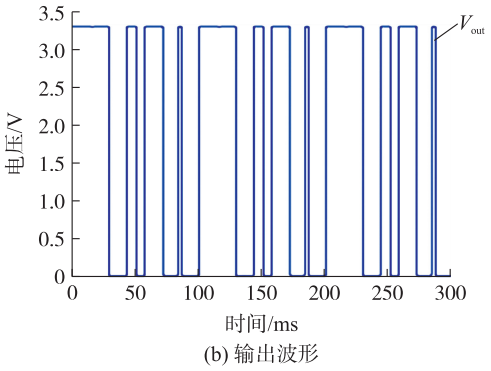
(b) 输出波形

图 14 工频信号输入及输出仿真

图 15 所示是输入幅值为 0.3 mV,频率分别为 50 Hz 和 20 Hz 的两个正弦波的叠加信号,信号调理电路的输出结果,其中幅值为 0.3 mV,频率为 20 Hz 的正弦波信号作为一种模拟的心冲击信号,通过图 15 可以看出,当信号调理电路输入混叠了心冲击信号的工频信号时,输出的是占空比变化的方波信号。



(a) 输入混合信号波形



(b) 输出波形

图 15 混合信号输入及输出仿真

2.2 带通滤波器仿真

在带通滤波器的输入端增加一个共模电平为 0 的差模信号,并进行 AC 仿真即可得到带通滤波器的通带范围[13],图 16 所示为带通滤波器的仿真结

果，可以看出，带通滤波器频带内的增益为 7.96 dB，再根据其−3 dB 下的频率读出通带频率范围，约为 1 Hz~45 Hz，满足预期设计要求。

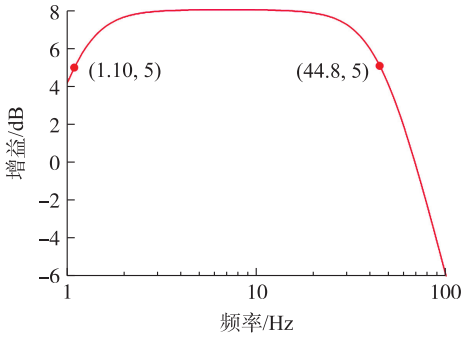
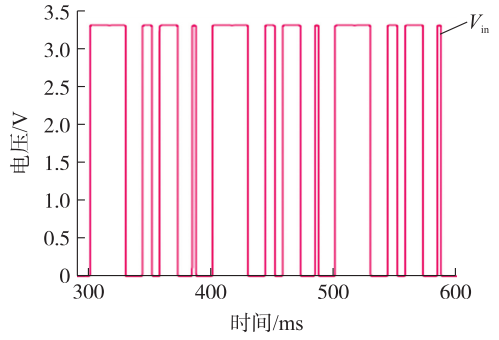
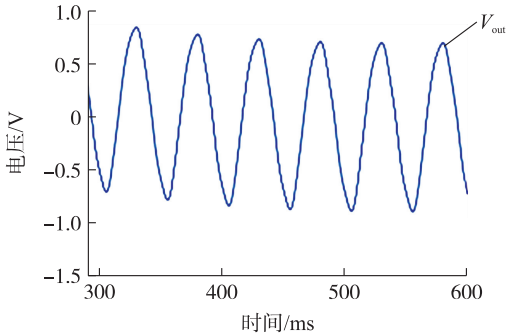


图 16　带通滤波器仿真

由于信号调理电路输入叠加了工频噪声的心冲击信号后，输出的是占空比变化的方波信号，将这种占空比变化的方波信号进行滤波，滤除工频信号，可以得到放大后的心冲击信号。图 17 所示为信号调理电路与带通滤波器整体的仿真结果，由图可以看出，信号调理电路输入频率分别为 20 Hz（作为模拟的心冲击信号）和 50 Hz（作为模拟的工频信号），幅值为 0.3 mV 的正弦波叠加信号后，输出占空比变化的方波信号，当带通滤波器输入这种占空比变化的方波信号后，输出的是频率为 20 Hz，幅值约为 800 mV 的正弦波信号。



(a) 方波信号输入波形



(b) 滤波后的波形

图 17　心冲击信号放大、滤波仿真

2.3　低压差线性稳压器仿真

高性能的基准电压对 LDO 噪声的降低、电源抑制性能的提升等具有极其重要的意义，这里对所设计的带隙基准进行温度特性的仿真，仿真出的带隙基准温度特性如图 18 所示，由于 LDO 输入电压为典型值 5 V，目标输出电压为 0.85 V，仿真的温度范围为−40 ℃~125 ℃，计算可知基准电压的温漂系数为 48.48×10^{-6}/℃。

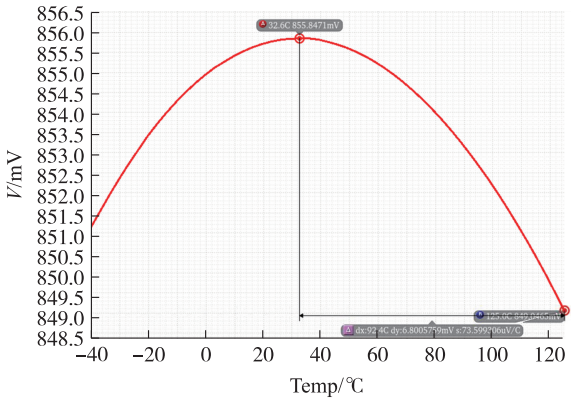


图 18　温度特性仿真

由于误差放大器在 LDO 中的主要作用是将基准电压 V_{REF} 与反馈电压 V_{FB} 的差值放大，因此其开环增益和稳定性是需要着重考量的指标，各个工艺角下误差放大器仿真结果如图 19 所示。

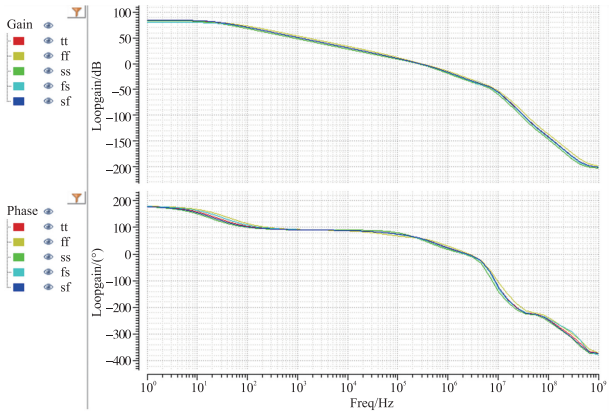


图 19　误差放大器仿真

各个工艺角下增益、相位裕度、增益带宽积如表 1 所示。

表 1　各个工艺角下误差放大器仿真结果

	tt	ff	ss	fs	sf
增益/dB	82.61	80.90	82.88	80.11	84.10
相位裕度/(°)	59.59	57.89	58.79	58.46	59.80
增益带宽积/kHz	272	297	251	264	275

通常情况下，压差电压是指当 LDO 能够准确输出设定的输出电压时，V_{in} 到 V_{out} 的差值，当 $V_{in}-V_{out}$ 小于压差电压时，稳压器无法对输出电压进行进一步调节。在室温条件（25 ℃）下对目标输出电压 3.3 V 进行压差仿真，仿真结果如图 20 所示，不难看出压

差电压为 55.25 mV,输入电压在 3.4 V~5.0 V 范围内变化时均可稳定输出 3.3 V 电压。

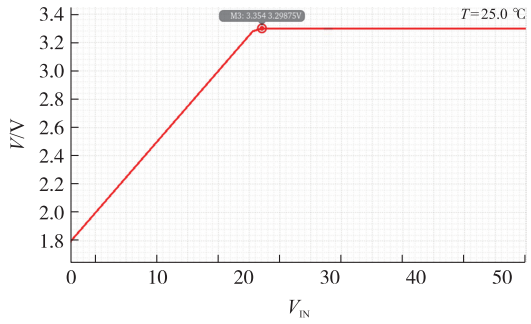


图 20 压差电压仿真结果

2.4 逐次逼近型模数转换器仿真

对 SAR ADC 进行整体仿真,采样频率为 500 ksample/s,输入信号为奈奎斯特频率。仿真选取了 256 个采样点,在工艺角 tt,温度 27 ℃下对输出结果作傅里叶变换。图 21 所示为 SAR ADC 整体的仿真结果,信噪失真比(Signal to Noise Distortion Ratio,SNDR)为 73.7 dB,无杂散动态范围(Spurious Free Dynamic Range,SFDR)为 82.9 dBc,有效位数(Effective Number of Bit,ENOB)达到 11.53 bit。

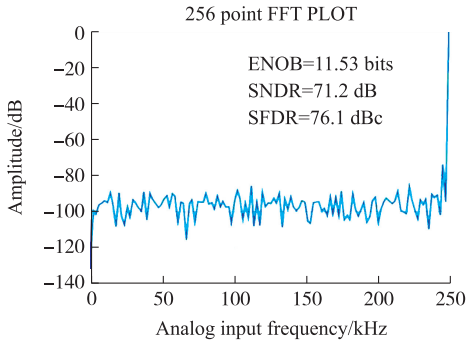


图 21 SAR ADC 整体仿真结果

设计的 SAR ADC 位数为 12 bit,所以一次转换过程至少经历 12 个时钟,还需要一个 EOC 信号来控制数字码输出,当 EOC 为高电平时,表示模数转换完成。图 22 展示了将带通滤波器输出信号输入 SAR ADC 的结果,由图可以看出,该次转换过程输出的数字码为 101100110101。

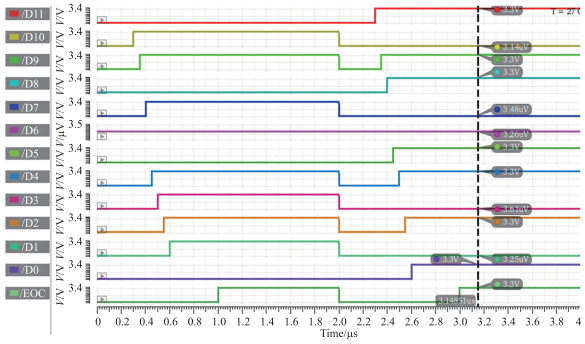


图 22 经 ADC 转换得到的数字输出结果

为了验证该 ADC 能否正确地转换输入的模拟量,将频率为 12.5 kHz,幅值为 0.8 V 的正弦波信号作为输入信号输入进 ADC 中,再将输出的数字输出码输入进一个理想的 DAC,将 ADC 输出的 12 位数字码转换为与之对应的模拟量,图 23 为输入模拟量与 DAC 转化的离散后的模拟量的对比图。可以看出该 ADC 可以正确地将模拟输入信号数字化,实现了模数转换功能。

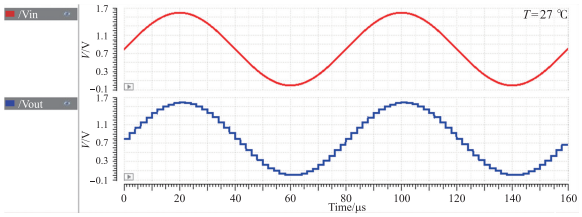


图 23 模数转换仿真结果

3 结论

根据便携式医疗电子产品的市场需求,设计了一款用于心冲击信号检测与处理的模拟前端电路,该电路集成了针对心冲击信号的信号调理电路、通带频率为 1 Hz~45 Hz 的带通滤波器、能够稳定输出 3.3 V 电压的低压差线性稳压器、12 bit 中高精度逐次逼近型模数转换器,得到以下结论:①本文设计的信号调理电路可以将 PVDF 压电薄膜采集到的微弱心冲击信号放大到系统能够检测到的范围内。②带通滤波器滤除心冲击信号中的杂波信号,防止后续 ADC 因为杂波信号出现混叠效应。③LDO 稳定给其余电路输出 3.3 V 电压,保证整个电路不会因为电池供电电压的降低而出现问题。④SAR ADC 在保证心冲击信号精度要求下完成模数转换并输出。本文设计的用于心冲击信号检测的模拟前端电路性能满足心冲击信号检测与处理的要求,对生理信号检测集成芯片的研究具有一定的参考价值。

参考文献:

[1] 杜鹏. 积极应对人口老龄化的中国道路[J]. 人口研究,2022,46(6):17-22.

[2] 赵双,刘云涛,隋鑫. 用于生物信号检测的低功耗 CMOS 模拟前端[J]. 微电子学,2017,47(6):822-827,832.

[3] Jiang F, Xu B, Zhu Z, et al. Topological Data Analysis Approach to Extract the Persistent Homology Features of Ballistocardiogram Signal in Unobstructive Atrial Fibrillation Detection[J]. IEEE Sensors Journal, 2022, 22(7): 6920-6930.

[4] 张加宏,孟辉,谢丽君,等. 基于心冲击图和 BP 神经网

络的心率异常分类研究[J]. 数据采集与处理,2021,36(3):565-576.
[5] Garde M P, Lopez-Martin A, Carvajal R G, et al. Super Class-AB Recycling Folded Cascode OTA[J]. IEEE Journal of Solid-State Circuits,2018,53(9):2614-2623.
[6] Zhang J, Tang L, Mingotti A, et al. Analysis of White Noise on Power Frequency Estimation by DFT-Based Frequency Shifting and Filtering Algorithm[J]. IEEE Transactions on Instrumentation and Measurement, 2019, 69(7):4125-4133.
[7] 林卓逸,王小强,吴朝晖,等. 低压差线性稳压器噪声测试研究[J]. 电子器件,2023,46(5):1199-1203.
[8] 张涛,吴小奔,刘劲. 快速瞬态响应低噪声无片外电容 LDO[J]. 电子元件与材料,2023,42(9):1143-1149.
[9] 钟超超,孔瀛,莫艳图,等. 一种高电源抑制比低温度系数的带隙基准电路[J]. 电子器件,2024,47(3):603-609.
[10] 樊昌信,曹丽娜. 通信原理[M]. 第 7 版. 北京:国防工业出版社,2020:279-322.
[11] Li H, Shen Y, Xin H, et al. A 7.3-μW 13-ENOB 98-dB SFDR Noise-Shaping SAR ADC with Duty-Cycled Amplifier and Mismatch Error Shaping[J]. IEEE Journal of Solid-State Circuits,2022,57(7):2078-2089.
[12] 詹贵阳,曾以成. 具有阈值电压自动设定和调节功能的电压比较器设计及 FPGA 实现[J]. 电子器件,2021,44(5):1084-1089.
[13] 何乐年,王忆. 模拟集成电路设计与仿真[M]. 北京:科学出版社,2008:94.

肖　扬(2003—),男,汉族,江苏盐城人,南京信息工程大学本科生,主要研究方向:模拟集成电路设计,355730459@qq.com;

张加宏(1979—),男,博士,南京信息工程大学集成电路学院教授,研究生导师,本文通讯作者,主要从事微纳电子机械系统、模拟集成电路及嵌入式系统等相关研究工作,jhzhang@nuist.edu.cn。