# Research on the Capacitance Characteristics of a New Type of Deep Trench Semi Super Junction MOS Devices*

WU Qiqin[1*], PAN Xinwei[1], SHEN Keqiang[2]
(1.School of Electronics and Information Engineering, Sanjiang University, Nanjing Jiangsu 210012, China;
2.School of Electronic Science and Engineering, Southeast University, Nanjing Jiangsu 210096, China)

**Abstract**: The new deep trench semi super junction cell structure model is established based on the Silvaco TCAD simulation platform, then, the process flow and conditions for deep excavation of the new device is provided, providing reference for the process preparation of related products, and then a new equivalent capacitance model for the device is proposed, and its capacitance characteristics are simulated and analyzed. Finally, under the same cell area, same breakdown voltage, and same trench width, a simulation comparison is made between the new deep trench semi super junction MOS device and the traditional trench type Trench MOS device, the trench depth of the new deep trench semi super junction MOS device is 3-4 times that of traditional trench type, which reduces the on-resistance value by about 50%, and the Ciss/Cgd value is about 5 times that of traditional trench type, which has better resistance to drain voltage oscillation interference. At the same time, the influence of gate trench depth and p-pillar doping concentration on the parasitic capacitance characteristics of the device is explored.

**Key words**: deep trench; semi super junction; process micromachining; capacitive characteristics
**EEACC**: 2560 **doi**: 10.3969/j.issn.1005-9490.2026.03.012

# 新型深沟槽半超结 MOS 器件电容特性研究*

吴启琴[1*], 潘欣维[1], 沈克强[2]
(1.三江学院电子信息工程学院, 江苏 南京 210012; 2.东南大学电子科学与工程学院, 江苏 南京 210096)

**摘 要**: 基于 Silvaco TCAD 仿真平台, 建立了新型深沟槽半超结元胞结构模型, 给出了深挖槽该新型器件的工艺流程与条件, 为相关产品的工艺制备提供参考, 提出新型器件的等效电容模型, 并对其电容特性进行了仿真研究与分析。最后, 提出在相同元胞面积, 近似相等击穿电压及相同沟槽宽度下, 对新型深沟槽半超结 MOS 结构与传统沟槽型 Trench MOS 结构进行仿真对比, 得到沟槽深度是传统沟槽型的 3~4 倍, 导通电阻值下降约 50%, 且 Ciss/Cgd 值约是传统沟槽型的 5 倍, 具有更优良的抗漏极电压震荡干扰性能。同时探究了栅沟槽深度及 p 柱区掺杂浓度对器件寄生电容特性的影响。

**关键词**: 深沟槽; 半超结; 工艺制造; 电容特性
**中图分类号**: TN386.1 **文献标识码**: A **文章编号**: 1005-9490(2026)03-0560-06

随着第二次工业革命的来临, 人类步入了电气时代, 人们的生产生活等各方各面都离不开电。由此可见, 电的应用领域广泛, 与此同时, 伴随着与日俱增的用电量、全球所面临的能源短缺和环境不断恶化问题的出现, 目前降低能耗、节约资源和保护环境已引起了越来越多人们的广泛关注[1]。功率半导体器件在电的应用中是不可或缺的一个核心部件, 其也被称作电力电子器件, 且已长期应用于各行业仪器设备, 如交通、能源及激光等, 此外电力电子器件还可应用于电能变换及控制电路, 其发展趋势迅猛, 并促进了各行业的高效运行[2-3]。目前新型深沟槽半超结 MOS 器件性能研究已成为广大学者的重要研究方向。

随着半导体行业的飞速发展, 功率半导体器件也在不断地推陈出新, 目前市场上推出的超结 MOS 器件, 突破了传统 VDMOS 器件的理论极限, 此外沟槽型半超结 MOS 具有耐高压、导通电阻低和功耗低的优点[4], 因此相比于传统沟槽型器件具有更多的应用市场。现阶段国内对半超结结构与沟槽型相结合的 MOS 器件的研究相对较少, 本研究则是将二者相结合后形成新型深沟槽半超结 MOS 器件, 本文将对该新型 MOS 器件进行电容特性研究与分析, 并在相同元胞面积、近似相等击穿电压及相同沟槽宽度下, 将其与传统沟槽型器件电学性能进行仿真对比,

**项目来源**: 江苏省高等学校基础科学(自然科学)研究面上项目(24KJB560017); 2024 年三江学院高等教育研究课题项目(GJ2024020); 2025 年度江苏省教育科学规划课题(自设专项课题)(C/2025/01/55); 2025 年度电工电子基础课程教学改革项目(E2523); 2025 年江苏省集成电路学会"嵌入式芯片与系统相关课程建设、教学研究"课题项目(2025JSICSJG04)
**收稿日期**: 2025-01-07 **修改日期**: 2025-03-14

本研究的新型 MOS 器件沟槽深度可达 7 μm,导通电阻值下降近 50%,抗漏极电压震荡干扰的性能更优良及单位面积的电流密度更大,并且节约制造成本、降低工艺制造难度。

## 1　传统沟槽型器件结构

20 世纪 80 年代,槽栅功率半导体器件得到快速发展,VUMOSFET 器件即沟槽型 Trench MOS 器件,于 1985 年被首次提出,其元胞结构如图 1 所示。传统的 Trench MOS 器件,是在传统的 VDMOS 器件的基础上,增加了沟槽栅,从而不产生 JFET 区电阻,进一步减小内部阻抗,并且可以进一步提高耐压,实现更高的电流传输,此外栅极加正电压时,p 体区内沿沟槽侧壁垂直向下形成导电沟道,因此可以极大地提高元胞密度[5]。

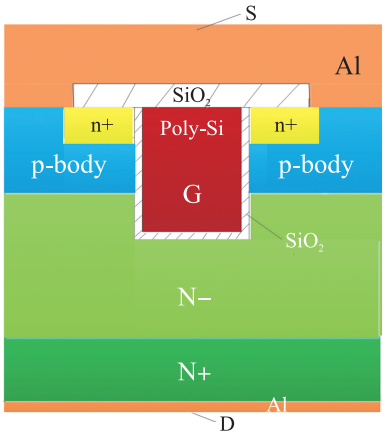



**图 1　传统沟槽型 Trench MOS 器件的元胞结构**

## 2　深沟槽半超结 MOS 器件结构与工艺

图 2 为深沟槽型半超结 MOS 器件的元胞结构图,与图 1 中的传统沟槽型 Trench MOS 器件元胞结构相比,此结构直接在 n–外延层上面再次外延生长了一层 n 型杂质层,接着采用深挖槽刻蚀工艺,并采用淀积生长 p 型杂质进行回填,此过程重复进行了两次,且两次回填的 p 型杂质掺杂浓度是不同的,下层的高掺杂 p 柱区可降低器件的漂移区电阻,从而进一步降低器件的导通电阻,且上层低掺杂 p–柱区随漏源电压的增加,在达到器件耐压前 p–柱区将完全耗尽,上层 p–柱区与半超结区共同承受较高的击穿电压,从而提高器件的耐压值,下层的半超结 p 柱区与半超结 n 柱区是交替排列,且互补的关系,两柱区处于基本的电荷平衡[6-7]。该工艺制造方法可直接控制填充杂质的掺杂浓度,更有利于 p 柱区和 n 柱区的电荷平衡。此外,为了进一步提高沟槽内的 p 柱、n 柱界面的完整性,通常在外延填充工艺过后,需要进行热退火处理,一般在高温炉中加入惰性气体氮气后进行加热,通过加热材料可改变其晶体结构,进而提高半导体材料的电学性能及其器件的可靠性。通过热退火可进一步推结,从而使 p 柱区域回填的 p 型杂质通过热扩散运动到槽内壁附近的 n 型掺杂层中。

当图 2 中的器件处于正向导通时,电子从源极由沟道区流经 n 柱区,再流向 n–外延层,最后流至漏极。若是接反向电压时,p 柱区和 n 柱区将形成横向的电场,平衡掉 n 柱区多余的载流子,能极大地增加器件的耐压值。

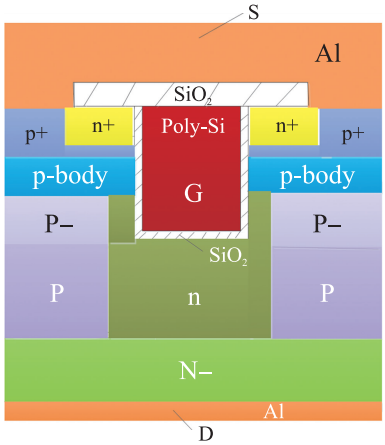



**图 2　新型深沟槽半超结 MOS 器件的元胞结构**

本研究新型深沟槽半超结 MOS 器件制造工艺采用的是深槽刻蚀填充工艺技术,而非多次外延、多次离子注入形成纵向交替的 p 柱、n 柱[8],主要是因为其难以形成高浓度且窄条度的 p 柱、n 柱,且不利于器件导通电阻的降低,所以进行了工艺制备方法的改进,不仅减轻成本压力,而且进一步降低工艺制造难度。在 Silvaco TCAD 软件上虚拟仿真新型深沟槽半超结 MOS 器件的主要工艺流程见图 3[9-10],关键工艺参数设置如表 1 所示。

在工艺流程中,首先生长的是 n–外延层,其次是淀积生长 n 型掺杂层,接着是刻蚀深槽形成 p 柱区,再对 p 柱区进行 2 次不同掺杂浓度的 p 型杂质淀积填充,形成上下分层的不同掺杂浓度 p 柱,紧接着在 n 型掺杂层中央深挖槽形成栅沟槽,并生长栅

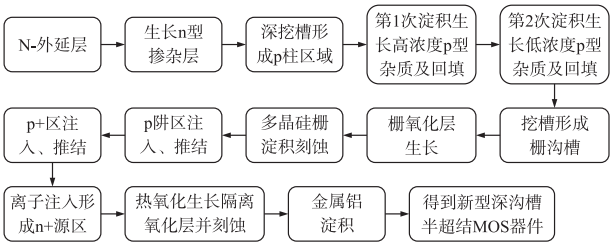



**图 3　新型深沟槽半超结 MOS 器件主要工艺流程**

氧化层,再淀积生长多晶硅,此外基于平面 MOSFET 的工艺制造,形成 p 阱、p+离子注入区、n+源区,最后还需淀积生长金属铝,从而获得新型深沟槽半超结 MOS 器件。

**表 1 关键工艺步骤参数设置**

| 步骤 | 工艺操作 | 条件及参数 |
|---|---|---|
| 1 | 刻蚀沟槽 | 器件槽深 7 μm,P 柱区槽深 16 μm |
| 2 | 第一次外延填槽 | 回填 P 柱区深度 8 μm,硼掺杂 $1.3\times10^{16}$ $cm^{-3}$ |
| 3 | 第二次外延填槽 | 回填 P 柱区深度 8 μm,硼掺杂 $5\times10^{14}$ $cm^{-3}$ |
| 4 | p 注入和扩散 | 100 min,1 100 ℃,注入能量 180 kev,注入剂量 $2\times10^{13}$ $cm^{-3}$,氮气 |
| 5 | 栅氧及多晶硅 | 栅氧厚度 0.021 μm;多晶硅厚度 2.2 μm |
| 6 | n+注入和扩散 | 60 min,950 ℃,注入能量 80 kev,注入剂量 $5\times10^{15}$ $cm^{-3}$,氮气 |
| 7 | BF2 注入 | 注入能量 60 kev,注入剂量 $4\times10^{15}$ $cm^{-3}$ |
| 8 | 金属化 | LPCVD 方法;金属铝层厚度 4 μm |

## 3 深沟槽半超结 MOS 器件电容特性研究

新型深沟槽半超结 MOS 器件结构中主要考虑的寄生电容有栅漏电容 $C_{gd}$、漏源电容 $C_{ds}$ 和栅源电容 $C_{gs}$。寄生电容的存在会影响器件在开关过程中的工作损耗,由于器件的 $C_{gs}$ 受到众多因素的影响,本次设计没有对其影响因素进行研究,而是主要讨论两个结构参数:栅沟槽深度及 p 柱区掺杂浓度对器件的 $C_{gd}$ 和 $C_{ds}$ 的影响,接着将利用 Silvaco TCAD 软件仿真新型深沟槽半超结 MOS 器件的 $C$-$V$ 特性曲线,且研究与分析其变化规律[11]。新型深沟槽半超结 MOS 等效电容图见图 4[12-13]。

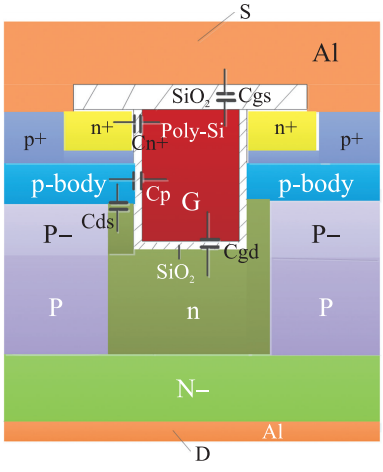



**图 4 新型深沟槽半超结 MOS 器件等效电容图**

### 3.1 栅沟槽深度对器件电容特性的影响研究

本研究新型深沟槽半超结 MOS 器件元胞结构如图 2 所示,通过改变栅极沟槽深度,并对不同沟槽深度的元胞结构进行模拟仿真,本研究共仿真了五组不同数据,槽深分别为 6 μm、6.5 μm、7 μm、7.5 μm、8 μm,由图 5 的栅沟槽深度与 $C_{gd}$ 的仿真关系图可知,其中 C Gate>Drain 为 $C_{gd}$,Drain Voltage 为漏端电压 $V_{ds}$,当沟槽深度不断加深,该器件的 $C_{gd}$ 几乎不变化。

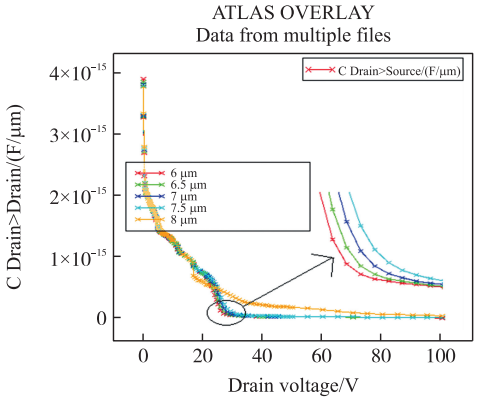



**图 5 栅沟槽深度与 $C_{gd}$ 的仿真关系图**

由图 6 可知,其中 C Drain>Source 为 $C_{ds}$,Drain Voltage 为漏端电压 $V_{ds}$,随着栅沟槽深度的不断加深,得出该器件的 $C_{ds}$ 在漏电压较低时,基本不受影响,但随着漏电压的增大,在电容拐点附近,栅沟槽深度越深,则 $C_{ds}$ 也越大,在漏电压较高时,$C_{ds}$ 随栅沟槽深度的增加基本相同。

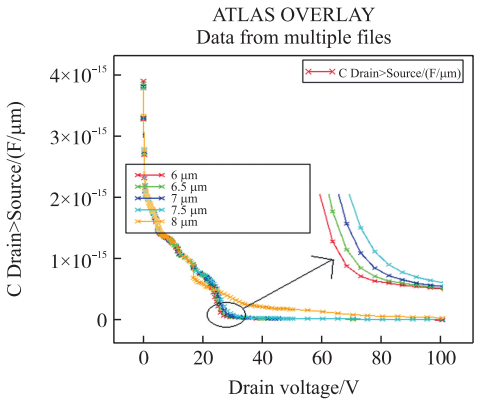



**图 6 栅沟槽深度与 $C_{ds}$ 的仿真关系图**

### 3.2 p 柱区的掺杂浓度对器件电容特性的影响研究

本次仿真同样采用控制变量的研究方法,仅改变 p 柱区掺杂浓度,对图 3 所示新型深沟槽半超结 MOS 器件元胞结构进行模拟仿真,本研究共仿真了五组不同数据,p 柱区掺杂浓度分别为 $1.28\times10^{16}$ $cm^{-3}$、$1.29\times10^{16}$ $cm^{-3}$、$1.3\times10^{16}$ $cm^{-3}$、$1.31\times10^{16}$ $cm^{-3}$、$1.32\times10^{16}$ $cm^{-3}$,由图 7 的 p 柱区掺杂浓度与 $C_{gd}$ 的仿真关系图可知,在选取的五组数据中随着 p 柱区掺杂浓度的不断增大,该器件的 $C_{gd}$ 基本相同。

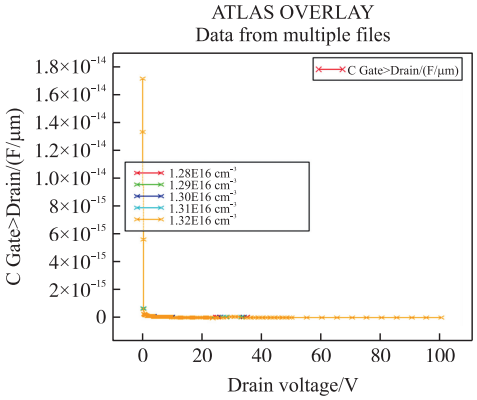



**图 7　p 柱区掺杂浓度与 $C_{gd}$ 的仿真关系图**

由图 8 的 p 柱区掺杂浓度与 $C_{ds}$ 的仿真关系图可知,随着 p 柱区掺杂浓度的不断增大,得出该器件的 $C_{ds}$ 在漏电压较低时,基本不受影响,但随着漏电压的增大,在电容拐点附近,p 柱区掺杂浓度越大,则 $C_{ds}$ 也越大,在漏电压达到 50 V 及继续增大后,$C_{ds}$ 随 p 柱区掺杂浓度的增大基本相同。

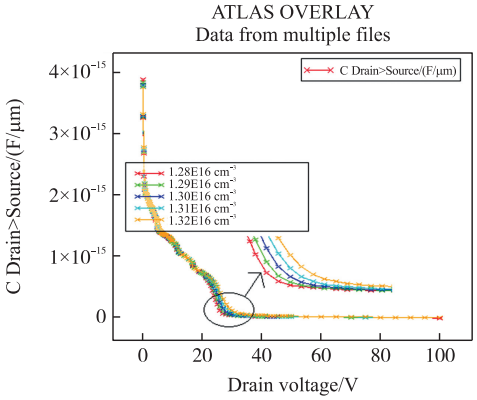


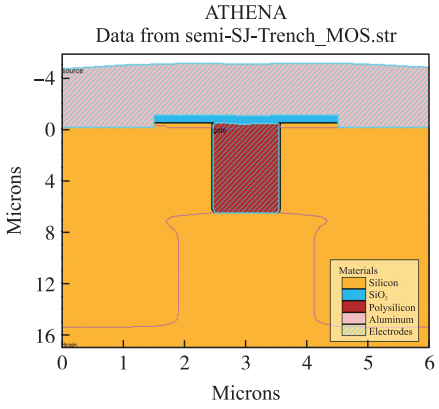

**图 8　p 柱区掺杂浓度与 $C_{ds}$ 的仿真关系图**

## 4　深沟槽半超结 MOS 器件与传统 Trench MOS 器件对比分析

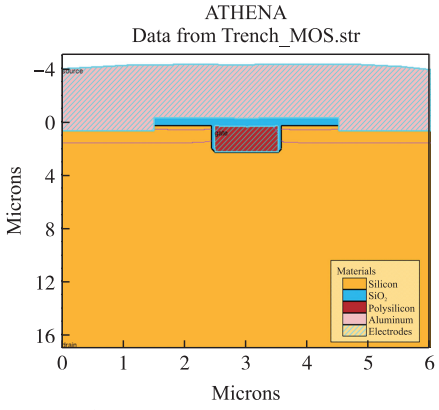
相较之相同元胞面积、近似相等击穿电压且同样沟槽宽度下的传统沟槽型 Trench MOS 器件,由图 9 可见,新型深沟槽半超结 MOS 器件拥有更深的沟槽深度,深度可达 7 μm,比传统沟槽型器件的沟槽深度 2 μm 深 3 倍~4 倍。因此,新型深沟槽型半超结 MOS 器件对深沟槽器件的研究具有一定的借鉴作用。

由图 10 所示两种器件的击穿电压仿真曲线可知,两者的击穿电压值相近,约 128 V。

由图 11 所示两种器件击穿电压在 128 V 处的电场分布可知,器件的电场强度在相同颜色区域时相近,其中传统沟槽型 Trench MOS 器件越靠近沟槽附近,电场越强,而新型深沟槽半超结 MOS 器件上层 p 柱区作为电压支持层,随着源漏电压的增大,在达到击穿电压前电压支持层将完全耗尽,上层 p 柱




(a) 新型深沟槽半超结MOS器件元胞结构图




(b) 传统沟槽型Trench MOS器件元胞结构图

**图 9　两种器件元胞结构图**

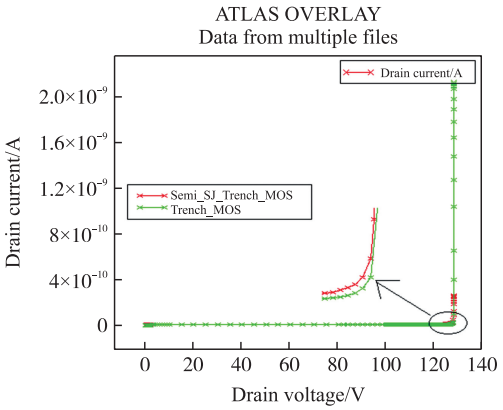
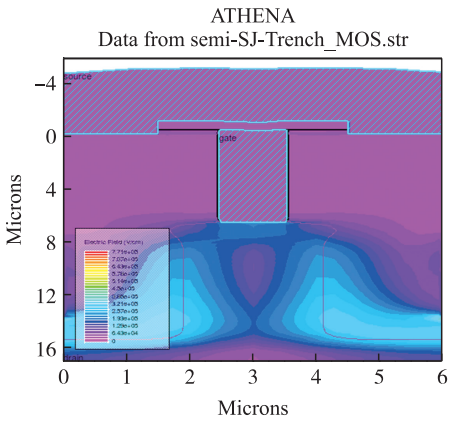



**图 10　两种器件击穿电压仿真曲线图**

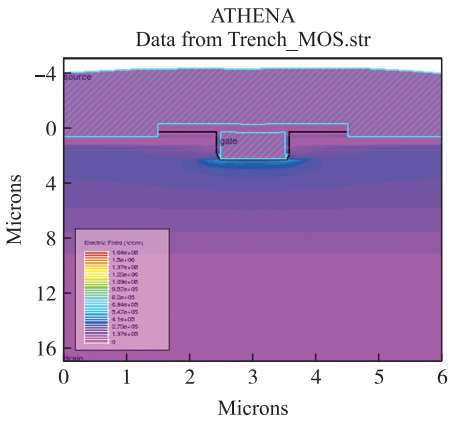
区与超结区一同承担较高的击穿电压,进而增大器件的击穿电压,使得器件可以承受更高的耐压值。

由图 12 可见,Semi_SJ_Trench_MOS 是新型深沟槽半超结 MOS 器件单个元胞导通电阻仿真曲线,其具有更小的导通电阻值,约是传统沟槽型 Trench MOS 器件导通电阻值的一半。

对传统沟槽型 Trench MOS 器件和新型深沟槽半超结 MOS 器件单个元胞结构进行 $C_{gd}$ 的仿真,结果如图 13、图 14 所示。图中 Semi_SJ_Trench_MOS 为新型深沟槽半超结 MOS 器件的栅漏电容仿真曲线,由图可见,新型深沟槽半超结 MOS 器件的栅漏电容 $C_{gd}$ 明




(a) 新型深沟槽半超结MOS器件电场分布图




(b) 传统沟槽型Trench MOS器件电场分布图

**图 11 两种器件 128V 击穿电压处的电场分布图**

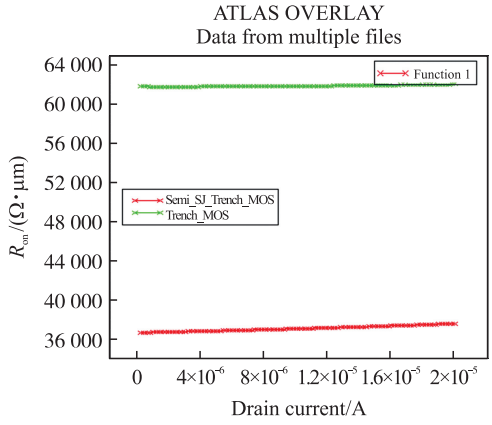



**图 12 两种器件导通电阻对比仿真曲线图**

显小于传统沟槽型 Trench MOS 器件，在典型值 $V_{ds}$ = 20 V 时，Trench MOS 的 $C_{gd}=9\times10^{-17}$ F/μm，但 Semi_SJ_Trench_MOS 的 $C_{gd}=5.3\times10^{-17}$ F/μm，相较而言，Semi_SJ_Trench_MOS 的栅漏电容下降了约 41.1%。

图 15 显示的是传统沟槽型 Trench MOS 器件和新型深沟槽半超结 MOS 器件单个元胞结构的输入电容 $C_{iss}$ 大小关系，$C_{iss}$ 是由 $C_{gs}$ 与 $C_{gd}$ 并联形成的。从图 15、图 16 明显看出，相同耐压、相同元胞面积及栅沟槽宽度下，新型深沟槽半超结 MOS 器件的输入电容 $C_{iss}$ 明显高于传统沟槽型 Trench MOS，在典型值 $V_{ds}$ = 20 V 时，Trench MOS 的 $C_{iss}=1.6\times10^{-15}$ F/μm，但 Semi_SJ_Trench_MOS 的 $C_{iss}=4.6\times10^{-15}$ F/μm，相较而言，Semi_SJ_Trench_MOS 的输入电容上升了约 65.2%。

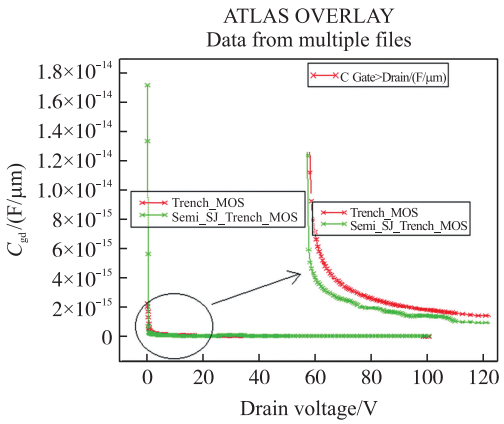



**图 13 两种器件 $C_{gd}$ 对比仿真曲线图**

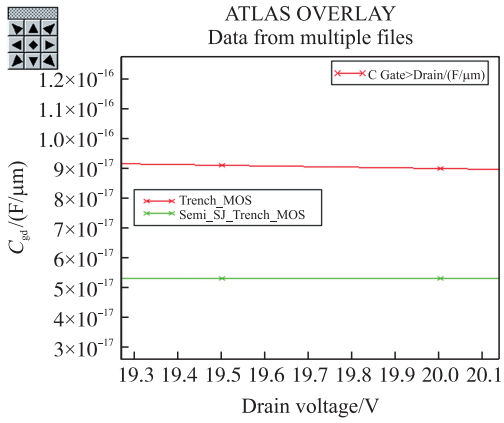



**图 14 两种器件 $C_{gd}$ 对比仿真曲线局部放大图**

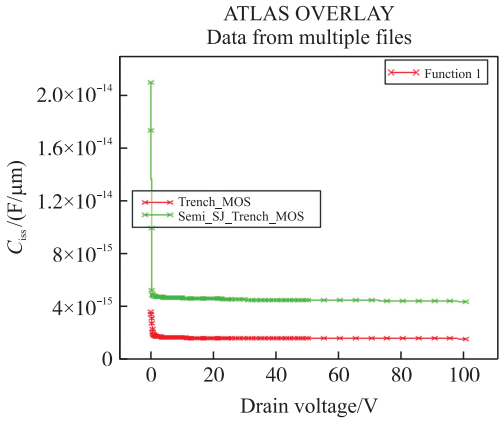



**图 15 两种器件 $C_{iss}$ 对比仿真曲线图**

结合两种器件元胞结构的 $C_{iss}$ 和 $C_{gd}$ 的仿真曲线图可见，在典型值 $V_{ds}$ = 20 V 时，新型深沟槽半超结 MOS 器件结构的 $C_{iss}/C_{gd}$ 值约是传统沟槽型 Trench MOS 结构的 5 倍，综上可知，新型深沟槽半超结 MOS 器件结构抗漏极电压震荡干扰的性能更优良。

由图 17 的输出性能曲线可见,栅源电压都施加 6 V 的情况下,新型深沟槽半超结 MOS 器件流过漏极的电流明显更大,即其电流密度更大。

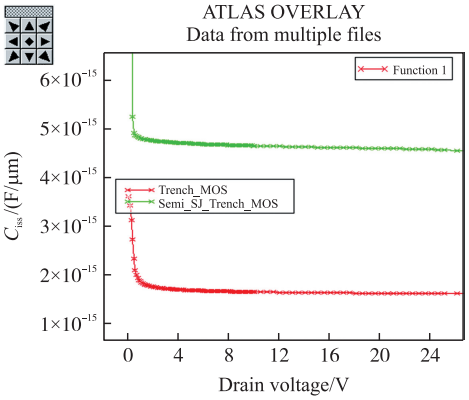



**图 16　两种器件 $C_{iss}$ 对比仿真曲线局部放大图**

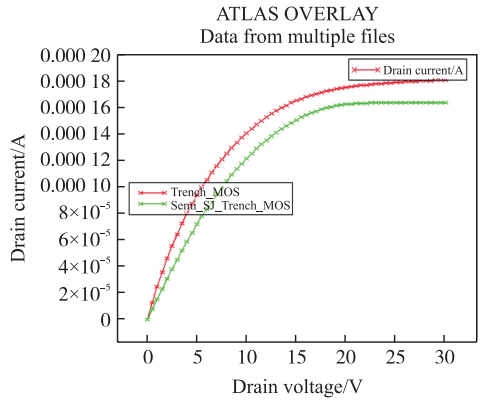



**图 17　两种器件输出特性对比仿真曲线图**

## 5　结论

本研究对新型深沟槽半超结 MOS 器件的电容特性进行了仿真研究,探究两个主要结构参数对器件的 $C_{gd}$ 和 $C_{ds}$ 的影响,接着通过仿真对比新型器件与传统型器件的电容特性,可知,本研究的新型器件具有更优良的抗漏极电压震荡干扰性能。最后,本研究在相同元胞面积、近似相等的击穿电压及相同的栅沟槽宽度下,将新型深沟槽半超结 MOS 器件与传统沟槽型 Trench MOS 器件相比,新型器件具有更深的沟槽深度,并拥有更小的导通电阻值,且在栅源电压都是施加 6 V 的情况下,其电流密度更大。综上可知,本研究不仅对中低压领域的功率半超结 MOS 器件设计及工艺制造提供了参考价值,也为接下来的器件性能优化研究工作奠定了理论基础。然而本研究还存在一些局限性,选取的样本数据的范围较为有限,可能会影响结果的普遍性。

## 参考文献:


[1] Zhou X T, Yue R F, Zhang J. 4H-SiC Trench MOSFET with Floating/Grounded Junction Barrier-Controlled Gate Structure[J]. IEEE Transactions on Electron Devices, 2017, 64(11): 4568-4574.

[2] 徐伟. 半导体电力电子器件发展概况及趋势[J]. 信息化建设, 2021(8): 64.

[3] 薛志荣. 电力电子器件的应用和发展[J]. 通信电源技术, 2019, 36(4): 108-109.

[4] 吝晓楠, 吴团庄, 许超奇, 等. 超低导通电阻沟槽栅 LDMOS 器件研究[J]. 电子学报, 2023, 51(8): 1995-2002.

[5] 李建澄. 低压分离栅沟槽 MOSFET 设计[D]. 南京: 东南大学, 2020.

[6] Kang H, Findlay E M, Udrea F. Mechanisms of Asymmetrical Turn-on and Turn-off and the Origin of Dynamic CGD Hysteresis for Hard-Switching Superjunction MOSFETs[J]. IEEE Transactions on Electron Devices, 2020, 67(6): 2478-2481.

[7] 吴启琴, 沈克强, 孙小羊, 等. 一种新型超结 SGT MOSFET 器件及其制备方法: CN118448461A[P]. 中国专利, 2024-08-06.

[8] Kang H, Donato N, Udrea F. Effect of Pillar Ripple on Static and Dynamic Trade-offs in Superjunction MOSFETs[J]. IEEE Electron Device Letters, 2020, 41(5): 753-756.

[9] 单长玲, 习毓, 丁文华. 一款 600V 高压 VDMOS 器件的设计[J]. 机电元件, 2023, 43(2): 25-27.

[10] 姚登浪, 吴栋, 张颖, 等. 具有异质结体二极管和 N 包围型 P 柱的 4H-SiC 超结 MOSFET[J]. 电子元件与材料, 2023, 42(12): 1454-1461.

[11] 种一宁, 李珏, 乔明. 1 500 V 超结功率 MOS 器件优化与电容特性研究[J]. 电子学报, 2024, 52(7): 2271-2278.

[12] 汤雨欣. 半超结屏蔽栅 MOSFET 的机理与特性研究[D]. 西安: 西安理工大学, 2022.

[13] 任丽丽, 李建澄, 郭荣辉. SGT MOS 器件电容特性研究与分析[J]. 电声技术, 2020, 44(6): 83-86.

**吴启琴**(1991—),女,江苏扬州人,实验师,硕士学位,研究方向:功率半导体器件,1156640026@qq.com。