An Integrated Operational Amplifier with High Precision and High Gain*

ZENG Jichun[1], LU Zezhuo[2], MA Kui[1,3], YANG Fashun[1,3*]
(1.College of Big Data and Information Engineering, Guizhou University, Guiyang Guizhou 550025, China;
2.Chongqing Analog Foundries Co., Ltd., Chongqing 401332, China;
3.Semiconductor Power Device Reliability Engineering Research Center of Ministry of Education, Guiyang Guizhou 550025, China)

Abstract: A high-precision, high-gain operational amplifier is designed based on a bipolar process. The bias circuit uses an improved base-emitter voltage to generate the bias current, and a current mirror provides current to other modules. By adjusting the ratio of resistances related to the reference voltage in the bias circuit, a zero-temperature-coefficient reference voltage can be achieved at 25 ℃. The input stage employs a base current compensation circuit, achieving high-precision input bias current compensation through a common-emitter-common-base current mirror and a β-helper structure. The output stage uses a dual-buffer structure, which improves load-driving capability while reducing the impact of external loads on the output stage gain, achieving high gain. Chip measurement data show that the operational amplifier has an average input offset voltage of −4.156 μV, an average input bias current of −4.162 nA, an average input offset current of −1.544 nA, a common-mode rejection ratio mean of 138.329 2 dB, and a large-signal gain mean of 128.899 1 dB.

Key words: operational amplifier; high-precision; high-gain; base current compensation; bipolar process
EEACC: 1220 **doi**: 10.3969/j.issn.1005-9490.2026.03.003

一种高精度高增益的集成运算放大器*

曾纪春[1], 陆泽灼[2], 马 奎[1,3], 杨发顺[1,3*]
(1.贵州大学大数据与信息工程学院, 贵州 贵阳 550025; 重庆中科渝芯电子有限公司, 重庆 401332;
3.半导体功率器件可靠性教育部工程研究中心, 贵州 贵阳 550025)

摘 要: 基于双极型工艺设计了一种高精度、高增益运算放大器。偏置电路使用改进的基极-发射极电压产生偏置电流, 利用电流镜为其他模块提供电流; 通过调整偏置电路中基准电压相关阻值比例, 可以在 25 ℃时实现零温度系数基准电压。输入级采用基极电流补偿电路, 通过共射共基电流镜和 β-helper 结构实现高精度输入偏置电流补偿; 在输出级采用双缓冲结构, 提高带负载能力的同时减弱了外部负载对输出级增益的影响, 以达到高增益的目的。芯片实测数据表明: 运算放大器平均输入失调电压为−4.156 μV, 平均输入偏置电流为−4.162 nA, 平均输入失调电流为−1.544 nA, 共模抑制比均值为 138.329 2 dB, 大信号增益均值为 128.899 1 dB。

关键词: 运算放大器; 高精度; 高增益; 基极电流补偿; 双极型工艺
中图分类号: TN722.77 **文献标识码**: A **文章编号**: 1005-9490(2026)03-0499-09

运算放大器在众多电子电路设计中扮演着关键角色, 其性能往往对电路乃至整个系统的性能起决定性影响。高精度运算放大器尤其在精密测量设备中具有核心作用, 这就要求高精度运算放大器拥有低输入失调电压、低输入失调电流及较低的输入偏置电流[1], 这样可以确保信号转换过程中的稳定性和准确性, 从而提高整体系统的可靠性。

如何降低运算放大器的失调一直是研究热点。从电路设计层面来说, 一类常用方法是采用斩波调制技术和自动调零技术[2-4], 属于动态矫正技术, 是以复杂的电路结构、更大的版图面积来达到提高放大器精度的目的; 另一类常用方法是采用场效应晶体管或超 β 晶体管作为差分输入管来有效降低输入偏置电流[5]; 从工艺制造层面来看, 现代互补双极集成电路技术通过全介质隔离结构, 在实现高性能纵向 PNP/NPN 管匹配的同时, 有效消除寄生参

项目来源: 贵州省科技成果应用及产业化计划重大项目(黔科合成果〔2024〕重大 006); 贵州省科技重大专项(黔科合平台 SSYS〔2025〕重大 006)
收稿日期: 2026-01-21 **修改日期**: 2026-02-26

数对输入级的影响,这种工艺创新不仅将输入偏置电流降低至微安级,更显著改善了输入失调电压的温度稳定性[6];除此之外,通过版图设计上的优化,比如输入器件的对称或共质心布局、金属走线的精心设计,同样可以降低失调[7];也可通过对晶圆电阻进行修调,从而达到降低失调的目的[8]。李伟业等[9]提出一种基极电流消除技术,有效降低了运算放大器的输入偏置电流,并在此基础上加入集电极-发射极电压补偿电路,提高了电路精度,芯片失调电压为 6.94 μV,输入偏置电流低至 12.3 nA;王靖等[10]采用轨到轨互补输入级,在此基础上加入新型偏置电流补偿电路,使放大器的输入失调电流为 11.9 nA,输出偏置电流为 29.8 nA,但输入失调电压高达 188 μV,不适用于精密测量;胡林[11]采用折叠式共射-共基结构提高运放的开环增益,通过优化电路设计来减小输入偏置电流,测试数据表明运放的开环增益为 115.9 dB,输入偏置电流为 24.896 nA,但输入失调电压较高,为 244.657 μV。

本文基于双极型工艺设计了一种具有基极电流补偿结构的高精度、高增益运算放大器,实现了较低的输入偏置电流。利用 β-helper 结构并加入射随器对基极电流进行缓冲,减小对增益级电流的影响,从而降低失调,实现高精度电流补偿,有效改善了系统失调对运算放大器带来的影响。

1 电路设计与实现

1.1 整体电路结构

高精度高增益集成运算放大器整体电路结构如图 1 所示,由偏置电路、基极电流补偿电路、差分输入级、增益级、输出缓冲级和频率补偿电路组成。

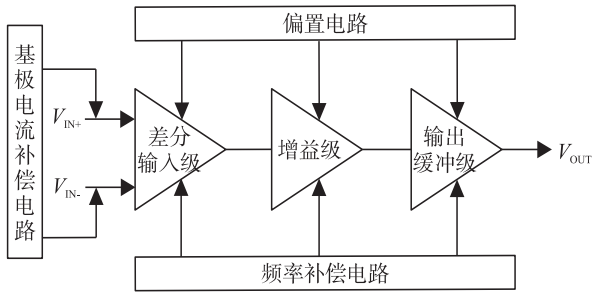

图 1 整体电路结构

1.2 偏置电路分析

偏置电路的主要用途是利用晶体管的基极-发射极电压(V_{BE})随温度变化的特性,提供一个与温度变化无关的稳定电压参考,这对于保持运算放大器的精度和稳定性至关重要[9]。本设计的偏置电路结构如图 2 所示。

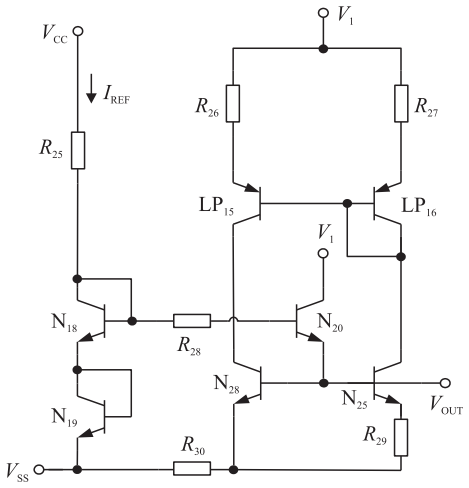

图 2 偏置电路

左侧电阻 R_{25} 与晶体管 N_{18}、N_{19} 连接作为启动电路,提供一个二倍 V_{BE} 的电压。当基准电路正常启动时,右侧的电压也约为 $2V_{BE}$,中间 R_{26} 一条电路几乎无电流,不影响基准电路。提供一个基准电流 I_{REF},将横向 PNP 晶体管(本文简称 LP)LP_{15} 与 LP_{16} 作为电流镜,使 N_{28} 与 N_{25} 电流大小成比例,其中发射区面积 $S_{28}:S_{25}=M$,由此 N_{28}、N_{25} 在 R_{29} 上形成一个 ΔV_{BE},可知:

$$I_{REF}=\frac{V_{BE28}-V_{BE25}}{R_{29}}=\frac{V_T\cdot\ln\dfrac{I_{C28}\cdot I_{S25}}{I_{S28}\cdot I_{C25}}}{R_{29}}=\frac{V_T\cdot\ln M}{R_{29}} \quad (1)$$

可以求得:

$$R_{29}=\frac{V_T\cdot\ln M}{I_{REF}} \quad (2)$$

式中:V_{BE} 为晶体管的基极-发射极电压,I_C 为集电极电流,I_S 为反向饱和电流,V_T 为热电压。N_{20} 为 β-helper 三极管,降低由有限 β 引起的电流误差。N_{28} 的基极上产生正负温度系数叠加的电压:

$$V_{REF}=V_{BE28}+2I_{REF}R_{56} \quad (3)$$

$$V_{REF}=V_{BE28}+2\frac{\ln MR_{56}}{R_{29}}V_T \quad (4)$$

对该 V_{REF} 求温度的偏导(忽略电阻温度系数):

$$\frac{\partial V_{REF}}{\partial T}=\frac{\partial V_{BE28}}{\partial T}+2\frac{R_{56}\cdot\ln 4}{R_{29}}\frac{\partial V_T}{\partial T} \quad (5)$$

式中:$\dfrac{\partial V_{BE}}{\partial T}$ 与 $\dfrac{\partial V_T}{\partial T}$ 分别为负温度系数与正温度系数,调整 R_{29} 和 R_{56} 的阻值比例,可使基准电压在 25 ℃ 实现零温度系数。

基准电流被复制后,用在各个模块的偏置中。由 N_{28}、N_{25} 管产生的电流复制到 N_{10}、N_{30} 和 N_{29} 管,镜像比例分别为 $N_{28}:N_{00}:N_{10}:N_{29}=1:2:1:1$,这些电流

源管射极的负反馈电阻构成比例电流源有源负载。电流镜像值主要由射极负反馈电阻决定:

$$I_{N_{28}}:I_{N_{00}}:I_{N_{10}}:I_{N_{29}}=2I_{N_{28}}:2I_{N_{28}}\frac{R_{30}}{R_{43}}:2I_{N_{28}}\frac{R_{30}}{R_{13}}:2I_{N_{28}}\frac{R_{30}}{R_{29}} \tag{6}$$

各路电流源如图 3 所示。N_{00}支路为输入级提供尾电流,N_{10}支路为中间级的射随器提供偏置电流,N_{29}支路为输出级的射随器提供负载,LP_{12}支路为输出级的射随器提供负载,LP_{13}支路为输出级的增益级提供负载,LP_9 与 LP_{10}为电流镜,LP_9 支路为增益级提供尾电流。LP_{14}与 R_{34}提供合适的电压抬升,将 LP_{11}的集电极与基极电位保持相等,让 LP_{11}处于临界饱和状态。

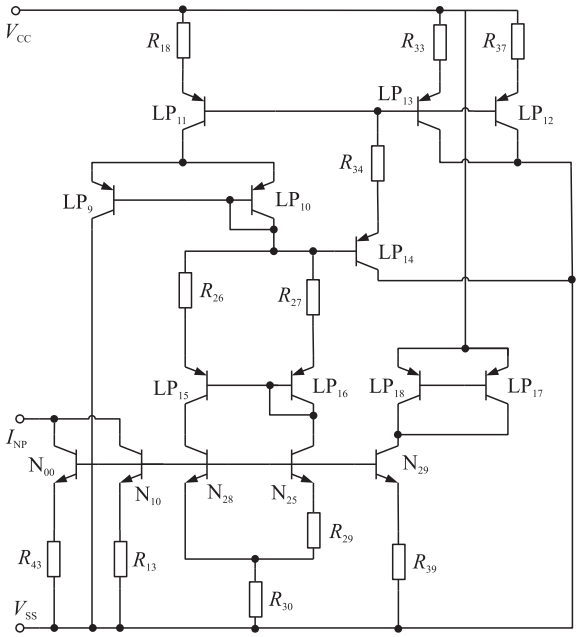

图 3　各路电流源

根据:

$$I_S=\frac{qAD_n n_{p0}}{W_B},I_C=I_S\exp\frac{V_{BE}}{V_T} \tag{7}$$

式中:A 为发射极面积,q 为电子电荷量,由式(7)可得,增大发射极面积能够在集电极电流确定的情况下降低 V_{BE}电压。

假设 LP_{11}、LP_{12}、LP_{13}正确工作在电流镜模式下,那么由其射极反馈电阻主要确定电流大小,电流比为:

$$I_{LP_{11}}:I_{LP_{12}}:I_{LP_{13}}=I_{LP_{11}}:I_{LP_{11}}\frac{R_{18}}{R_{37}}:I_{LP_{11}}\frac{R_{18}}{R_{33}} \tag{8}$$

1.3　输入级及基极电流补偿电路

本设计采用标准双极晶体管对管构建差分输入级,通过引入基极电流补偿电路以降低输入偏置电流的同时保持了高输入阻抗[11]。

输入级电路如图 4 所示,输入级采用非对称二极管负载设计,二极管 D_3~D_7 正向压降会在电路中形成稳定的电压节点,将负载节点的电压钳位在一个由二极管数量和正向压降决定的固定值上,以此稳定输入级的静态工作点。同时,二极管的正向压降具有负温度系数,能够补偿输入级晶体管 V_{BE}随温度的变化,减少输入失调电压的温漂,提升运放的温度稳定性。I_{BIAS1}与 I_{BIAS2}分别为输入级和补偿模块的偏置电流,当 I_{BIAS1}为两倍 I_{BIAS2}时,可以得到 $I_{C,N_7}=I_{B,N_1}+I_{B,N_4}$,经过电流镜复制补偿到输入对管基极。

即:

$$I_{C,N_7}=2I_{B,N_{8,9}}=\frac{I_{BIAS2}}{\beta_{N_{8,9}}} \tag{9}$$

$$I_{B,N_1}=I_{B,N_4}=\frac{I_{BIAS1}}{2\beta_{N_{1,4}}} \tag{10}$$

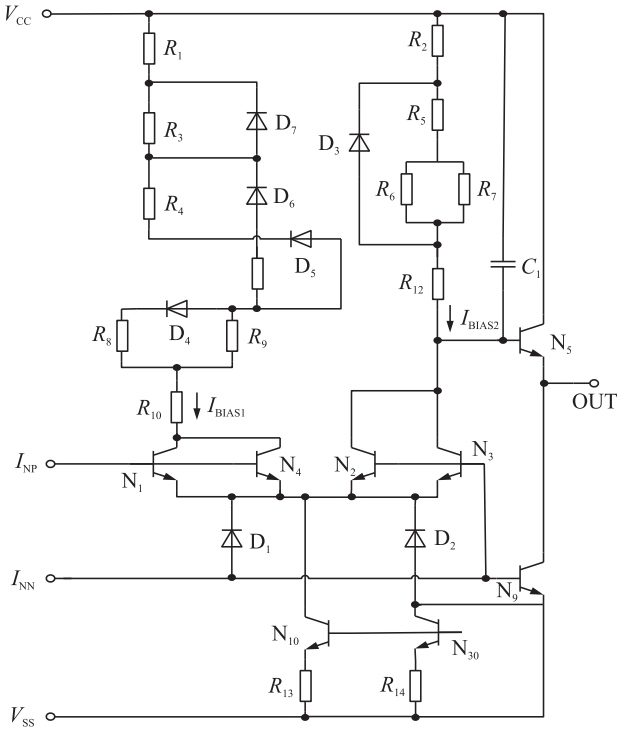

图 4　输入级电路

基极电流补偿电路如图 5 所示,由 LP_3、LP_4、LP_5、LP_6、LP_7、LP_8、纵向 PNP 晶体管(本文简称 SP)SP_1、SP_2 和 N_7、N_8、N_9 构成了基极电流补偿电路,其中 N_8、N_9 与输入对管 N_1、N_4 和 N_2、N_3 完全相同。

当 N_8、N_9 工作在与输入对管相同的集电极电流时,此时流过 N_7 的集电极电流为 N_8、N_9 的基极电流之和,就等于单侧输入管的基极电流之和。LP_3~LP_8 构成了 Cascode 电流镜,通过它们的电流复制,并使用 SP_1、SP_2 的 β-helper 结构来降低电流误差,可以达到极高的电流补偿精度,使输入对管的

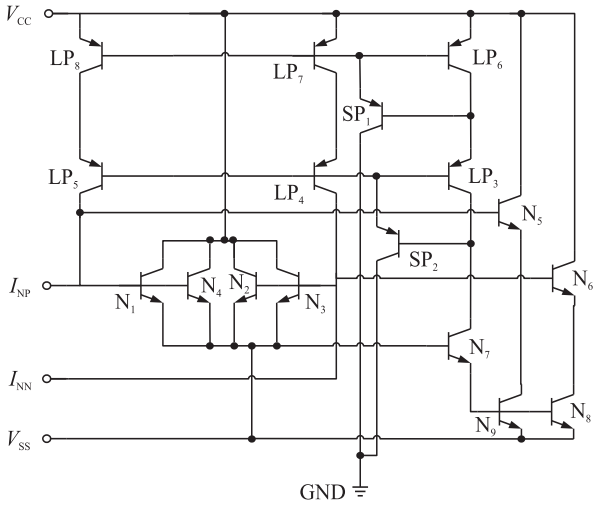

图 5 基极电流补偿电路

基极电流降低到非常小的一个值,此时输入对管基极电流近似为:

$$I_{\mathrm{INP}} \approx I_{B,\mathrm{N_9}} - I_{C,\mathrm{SP_1}} \approx I_{B,\mathrm{N_9}} \left[1 - \frac{1}{1+\frac{2}{\beta_P(\beta_P+2)}} \right] \quad (11)$$

式中:I_B 为基极电流,I_C 为集电极电流,β_P 为 $\mathrm{LP_4}$,$\mathrm{LP_5}$,$\mathrm{LP_7}$,$\mathrm{LP_8}$ 的电流放大倍数,电流源的系统增益误差主要由有限的 β_P 产生,β_P 越大输入偏置电流越小。

1.4 增益级电路

图 6 所示为增益级电路,图中 $\mathrm{N_{11}}$、$\mathrm{N_{12}}$ 构成差分放大器,用来进一步放大输入级的输出信号。尾电流由 PNP 管 $\mathrm{LP_9}$ 提供,该电流是偏置电路复合产生的低温度系数电流。同时,LPNP 晶体管的频率也明显高于 NPN 晶体管。引入 $\mathrm{N_5}$、$\mathrm{N_6}$ 作为射随器来降低从输入级吸取的电流,隔离 LPNP 晶体管的噪声电流直接流过输入级的负载电阻。

$\mathrm{N_{16}}$ 节点的增益可以计算为:

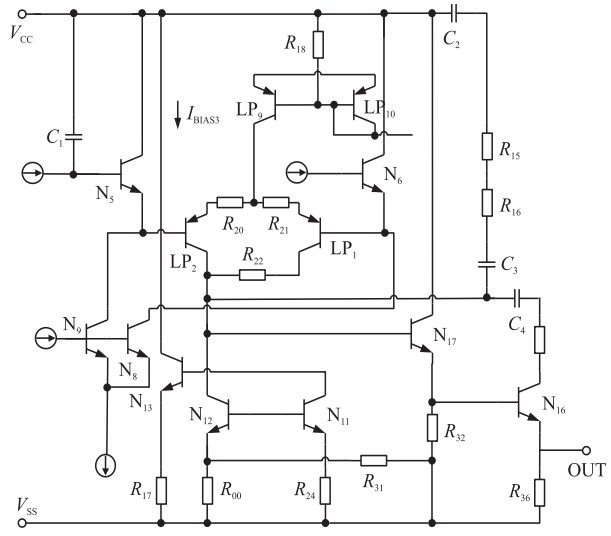

图 6 增益级电路

$$A_V = g_{m,\mathrm{N_{16}}} \cdot \frac{r_{O,\mathrm{N_{16}}} /\!/ r_{O,\mathrm{LP_{13}}} /\!/ R_{L,\mathrm{SP_3}}}{1+g_{m,\mathrm{N_{16}}} R_{39}} \quad (12)$$

式中:$R_{L,\mathrm{SP_3}}$ 为双缓冲级的等效输入阻抗,r_O 为输出阻抗,g_m 为跨导。

对于差分输入单端输出加射极负反馈结构,其增益计算公式为:

$$A_{V2} = \frac{1}{(1+g_{m,\mathrm{LP_{1,2}}} R_{S,R_{23,24}})} \cdot \left[g_{m,\mathrm{LP_{1,2}}} (r_{O,\mathrm{N_{11,12}}} + g_{m,\mathrm{N_{11,12}}} r_{O,\mathrm{N_{11,12}}} R_S) /\!/ (r_{O,\mathrm{LP_{1,2}}} + g_{m,\mathrm{LP_{1,2}}} r_{O,\mathrm{LP_{1,2}}} R_{24}) /\!/ \frac{R_{22}}{2} \right] \quad (13)$$

$$g_{m,\mathrm{LP_{1,2}}} = \frac{I_{C,\mathrm{LP_{1,2}}}}{V_T} \quad (14)$$

式中:R_S 为射极负反馈电阻,g_m 为跨导。$\mathrm{N_{13}}$ 发射极通过电阻 R_{00}、R_{31} 连接到 V_{SS},所以 $\mathrm{N_{13}}$ 的集电极电流约为:

$$I_{C,\mathrm{N_{13}}} = \frac{V_{\mathrm{BE,N_{11}}} - I_{E,\mathrm{N_{11}}} R_{24}}{R_{29}+R_{27}} = \frac{V_{\mathrm{BE},N_{11}} - \frac{I_{\mathrm{BIAS3}} R_{24}}{2}}{R_{00}+R_{31}} \quad (15)$$

式中:I_E 为晶体管发射极电流。使其工作在放大区,可以增大 β,更有效地降低电流镜误差;此处的 I_{BIAS3} 为增益级偏置电流,同时电流镜也增加了射极负反馈电阻,提高电流镜精度。

$\mathrm{N_{17}}$ 是增益级到输出级的射随器缓冲。由于输出级增益管的增益高达 1 000,需要非常大的电流源负载,若直接使用 $\mathrm{N_{16}}$ 实现高增益,由于有限的 β 会导致 $\mathrm{N_{16}}$ 基极对增益级单端输出抽取很大的基极电流,造成严重的增益级电流不对称,产生失调,故加入 $\mathrm{N_{17}}$ 进行缓冲。$\mathrm{N_{17}}$ 对 $\mathrm{N_{16}}$ 抽取的基极电流进行射随器缓冲,将原本的基极电流降低至:

$$I_{B,\mathrm{N_{17}}} = \frac{I_{B,\mathrm{N_{16}}}}{\beta_{\mathrm{N_{17}}}} = \frac{I_{C,\mathrm{N_{16}}}}{\beta_{\mathrm{N_{16}}} \beta_{\mathrm{N_{17}}}} \quad (16)$$

当 $\mathrm{N_{17}}$ 与 $\mathrm{N_{16}}$ 的 β 越大时,对增益级的电流影响就越小,失调也越低。$\mathrm{N_{17}}$ 的射极电流由电阻 R_{00} 和 R_{31} 设定(假设 R_{22} 电压约为 0):

$$I_{E,\mathrm{N_{17}}} \approx \frac{V_{\mathrm{SS}} + I_{E,\mathrm{N_{12}}} R_{17} + V_{\mathrm{BE,N_{12}}} + V_{\mathrm{BE,N_{13}}} - V_{\mathrm{BE,N_{17}}}}{R_{00}+R_{31}} \quad (17)$$

从分析可以看出,调节 R_{31} 可以同时调整 $\mathrm{N_{13}}$ 的 β-helper 效果和 $\mathrm{N_{17}}$ 的射极偏置电流,降低失调。

1.5 双缓冲输出级分析

本设计的双缓冲输出级电路如图 7 所示。由 R_{40},R_{41},$\mathrm{LP_{19}}$,$\mathrm{LP_{20}}$ 提供高增益,$\mathrm{SP_3}$、R_{38}、$\mathrm{N_{22}}$ 在正半周输出,提供高摆率;$\mathrm{N_{24}}$、$\mathrm{SP_4}$ 在负半周输出,提供高摆率。$\mathrm{N_{21}}$、R_{53} 和 $\mathrm{LP_{19}}$、R_{55} 为限流保护管。

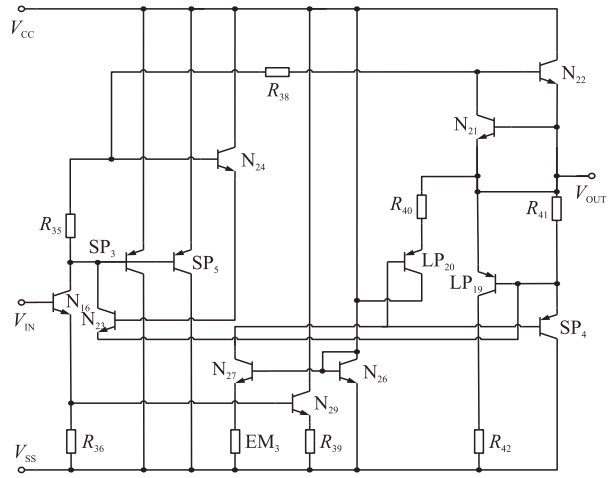

图 7　输出级电路

由图 7 有:

$$I_{\mathrm{OUT,MAX}} \approx \frac{V_{\mathrm{BE,N_{21},LP_{19}}}}{R_{53,55}} \tag{18}$$

为达到高精度的性能,需要极高的电压增益及高输出阻抗,由 SP_3、N_{22}与 N_{24}、SP_3 构成了输出级的双射随缓冲结构,隔离来自负载对增益级的影响,消除了交越失真,提高了带负载能力。

进行小信号分析,双缓冲级的等效输入阻抗为:

$$R_{L,\mathrm{SP_3}} \approx r_{\pi,\mathrm{SP_3}}+(\beta_{\mathrm{SP_3}}+1)(R_{L,\mathrm{N_{22}}} /\!/ r_{O,\mathrm{SP_3}}) \tag{19}$$

$$R_{L,\mathrm{N_{22}}} \approx r_{\pi,\mathrm{N_{22}}}+(\beta_{\mathrm{N_{22}}}+1)(R_L /\!/ r_{O,\mathrm{N_{22}}}) \tag{20}$$

$$r_\pi=\frac{\beta}{g_m},g_m=\frac{I_C}{V_T} \tag{21}$$

式中:r_π 是晶体管的基极输入电阻,$R_{L,\mathrm{N_{22}}}$为 N_{22}的输入阻抗,R_L 为输出的负载电阻。可以看到,即使负载电阻很小,等效到 N_{16}集电极节点时,阻抗被放大约 $(1+\beta)^2$倍,可以避免增益的降低。

电路输出阻抗可以计算为:

$$\begin{aligned} R_{O,\mathrm{N_{22}}} &= \left(\frac{r_\pi+R_{O,\mathrm{SP_3}}}{\beta+1}\right) /\!/ r_{O,\mathrm{N_{22}}} \\ R_{O,\mathrm{SP_3}} &= \left(\frac{r_\pi+R_{O,\mathrm{N_{16}}}}{\beta+1}\right) /\!/ r_{O,\mathrm{SP_3}} \end{aligned} \tag{22}$$

$$R_{O,\mathrm{N_{22}}} \approx \frac{1}{g_{m,\mathrm{N_{22}}}}+\frac{R_{O,\mathrm{N_{19}}}}{(1+\beta)^2} \tag{23}$$

式(22)中:$R_{O,\mathrm{N_{16}}}$为 N_{16}集电极节点的阻抗。

N_{23}在输出短路接地时工作。当输出被短路或者接到 V_{SS}时,由于 SP_4 的发射极电位很低,很容易导致 SP_4 的 BE 结反向击穿,此时由 N_{23}的 BE 结正向导通,防止击穿。LP_{20}作为输出加速管,当 SP_4 开始大输出时,LP_{20}的射极电阻电流约为 V_{BE}/R_{40},这个电流叠加流入 N_{26},增加 N_{27}电流,进而增加 SP_4 基极电流,增大输出能力。

此时有:

$$\begin{aligned} I_{C,\mathrm{SP_4}}\uparrow \rightarrow V_{R_{55}}\uparrow \rightarrow V_{R_{54}}\uparrow \rightarrow I_{R_{54}}\uparrow \rightarrow I_{C,\mathrm{N_{26}}}\uparrow \rightarrow \\ I_{C,\mathrm{N_{27}}}\uparrow \rightarrow I_{B,\mathrm{SP_4}}\uparrow \end{aligned} \tag{24}$$

这是一个正反馈,电流增加的上限由 EM_3 电阻限制。

1.6　整体电路设计

图 8 为本文设计的整体电路图,电容电阻 C_2、R_{20}、C_3、R_{21}、C_4、R_{42}为频率补偿模块,C_2、R_{20}设置主极点,其余为 C_4、R_{42}构成嵌套密勒补偿与 C_3、R_{21}构成前馈通路。电容 C_1 使高频输入信号在第一级输出单端化,C_2、C_3、C_4 用于滤除电源线上的高频噪声,提供更干净的电源电压。

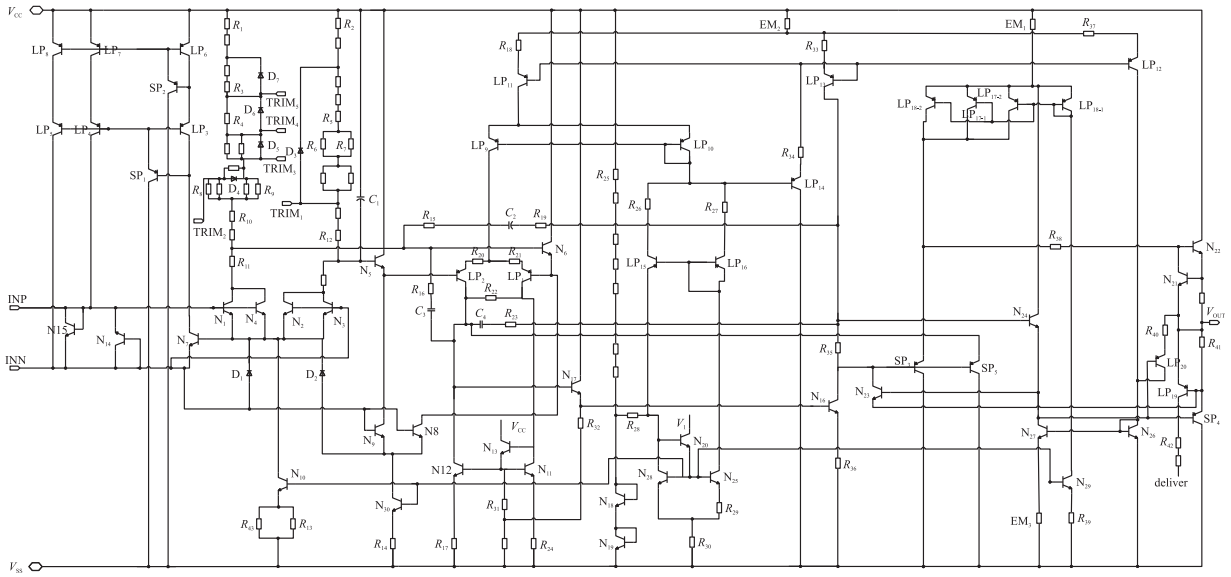

图 8　整体电路

2 电路仿真及版图设计

2.1 电路前仿真验证

本设计依托 Cadence 平台,运用 Spectre 软件完成了电路在不同工艺角下的基本参数前仿真验证工作。各项测试的实验参数如未特别说明,均为电源电压±15 V,环境温度维持在室温 25 ℃,统一接入 2 kΩ 的负载电阻。部分特性参数如输入失调电压、相位裕度和增益带宽积、电源电流前仿真结果如图 9~图 12 所示(以典型工艺角为例)。

图 9 所示是高精度高增益运算放大器的输入失调电压的前仿真结果。可以看出,输入失调电压随温度升高而增大,当仿真温度为 125 ℃时,输入失调电压达到最大值 17.569 26 μV,但仍在指标范围内,室温(25 ℃)时仿真结果为 8.369 26 μV。

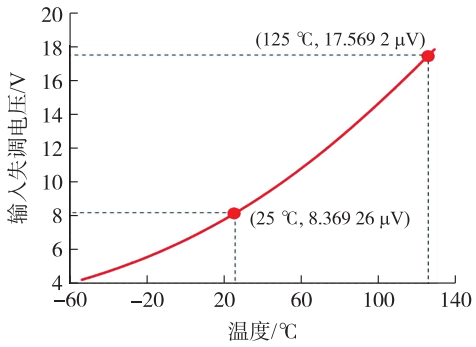

图 9 输入失调电压前仿真结果

图 10 所示是运算放大器输入失调电流的前仿真结果,顶点出现在-8 ℃时,此时输入失调电流为-318.776 pA,而在室温(25 ℃)时输入失调电流仅为-332.333 pA,均符合要求。

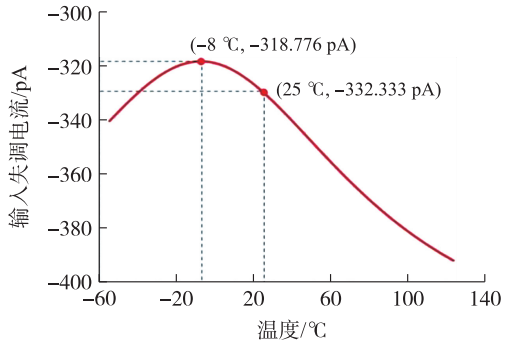

图 10 输入失调电流前仿真结果

图 11 所示是运算放大器相位裕度和增益带宽积的前仿真结果,25 ℃时对应频率下的相位裕度为 75°,单位增益带宽为 7.50 MHz;

图 12 所示为运算放大器电源电流的仿真结果,可以看到电源电流最大值出现在温度为 125 ℃时,为 3.893 22 mA。

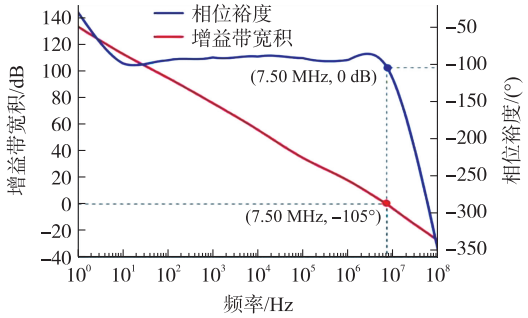

图 11 相位裕度和增益带宽积的前仿真结果

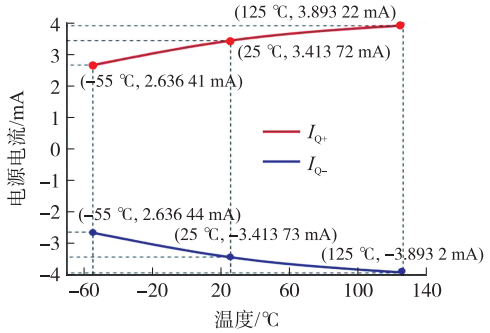

图 12 电源电流的前仿真结果

2.2 版图设计

芯片版图基于 40 V 双极型工艺设计见图 13。由于电路中各个器件功耗不同,版图需采用严格的热对称设计;由于热梯度对失配影响较大,故在器件排布方面要注意将匹配器件和功率器件间隔一定的距离,故本设计中输入级和偏置电路远离输出级,以降低热梯度对失配的影响;为减少热梯度对失配的影响,差分对管采用对工艺梯度值不敏感的共质心设计,这样能够降低对失调的影响,还可在一定程度上提高差分对管的匹配度[12]。

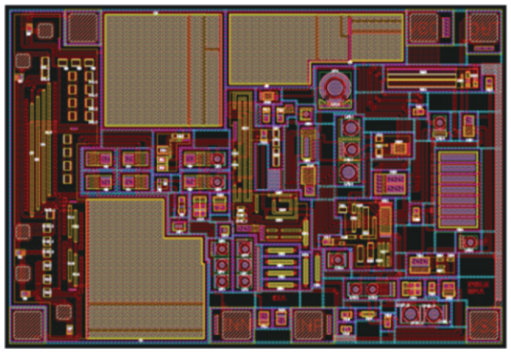

图 13 整体电路版图

版图设计完成后,在 Cadence Spectre 软件中进行设计规则检查(Design Rule Check,DRC)及布局与示意图(Layout Versus Schematic,LVS)验证,在满足版图设计规则的前提下,提取版图寄生参数后在与前仿真环境相同的仿真条件下对电路进行后仿真验证及分析[13]。部分重点参数后仿真结果已列入表 1。

3　流片测试验证

图 14 为流片后的芯片照片，利用探针台对芯片的焊盘引脚进行接线，在印刷电路板上完成测试电路搭建，之后随机抽取同一晶圆上功能正常的 100 颗芯片利用测试机对芯片的输入失调电压、输入偏置电流、输入失调电流、共模抑制比、电源抑制比、增益带宽积等参数进行测试。

测试结果如图 15 所示，由图 15(a)可以看出运算放大器输入失调电压测试值范围在−15.980 7 μV～24.615 3 μV 之间；图 15(b)和图 15(c)所示为输入偏置电流和输入失调电流测试值，输入偏置电流最大值为 13.405 nA，最小值为−7.256 nA，符合设计指标，输入失调电流测试值范围为−11.106 nA～1.338 nA；图 15(d)所示为运算放大器共模抑制比测试值，最小值为 122.097 8 dB，优于设计指标；电源抑制比测试结果如图 15(e)所示，可以看到运算放大器的电源抑制比范围处在 128.122 9 dB～165.09 9 dB 之间，优于设计指标 100 dB；图 15(f)所示为增益带宽积测试结果，范围为 9.001 3 MHz～12.214 7 MHz，该参数测试值均优于设计指标 5 MHz。

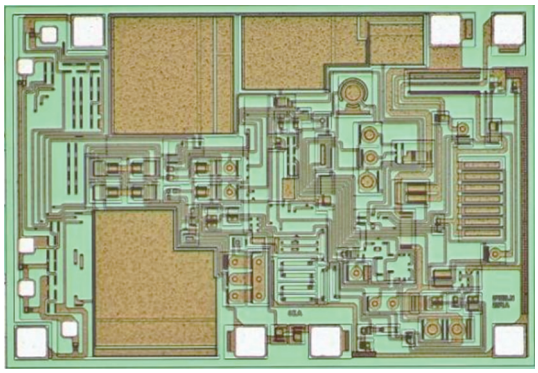

图 14　流片后的芯片照片

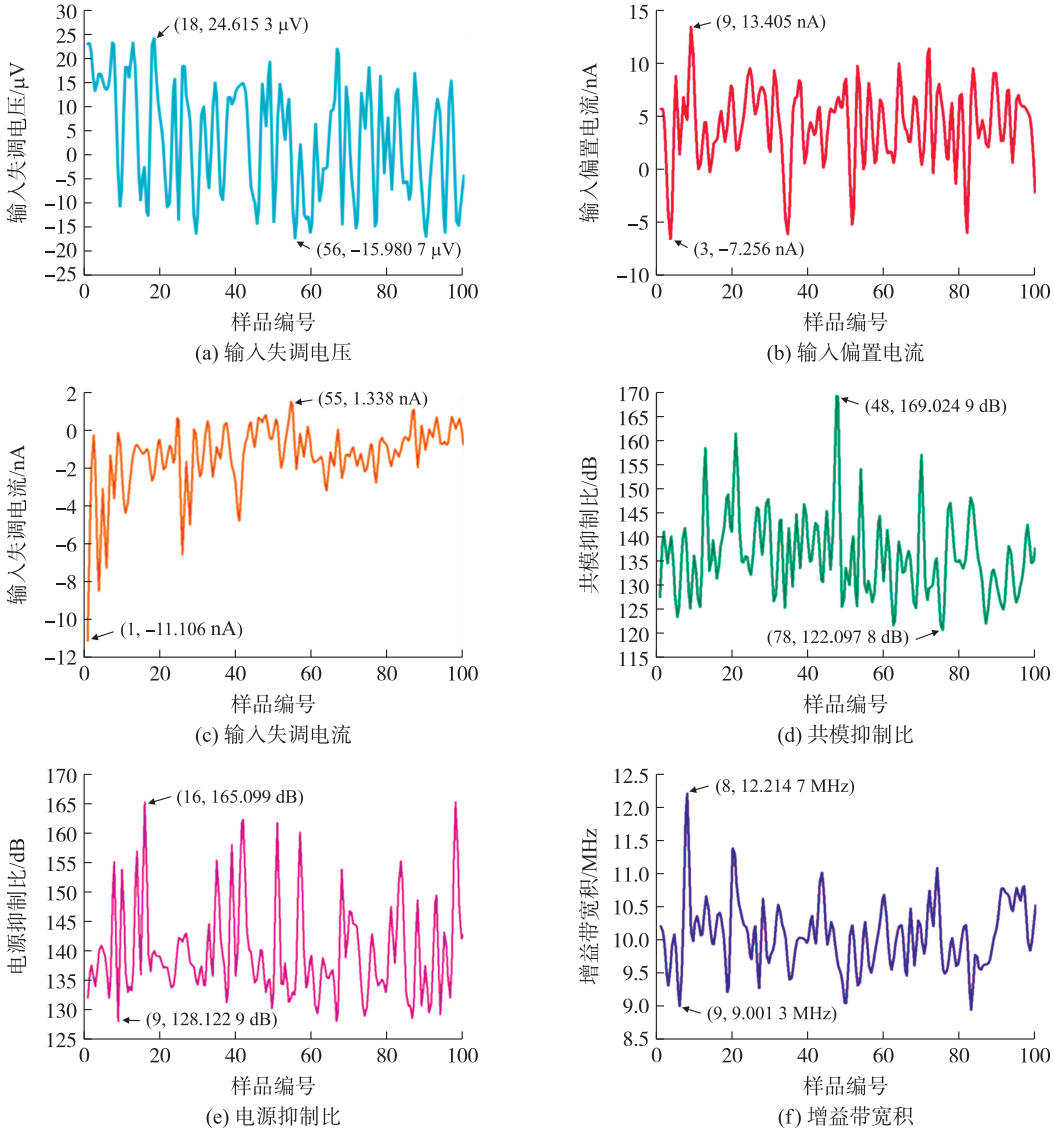

图 15　芯片测试结果

表 1 所示为芯片仿真结果与实测数据中参数最差值进行的对比,表中测试数据为多颗芯片测试结果的平均值。从表 1 中可以看出寄生效应和工艺偏差导致输入失调电压、输入偏置电流等关键参数出现显著波动,但仍保持在合格区间,其余参数基本稳定,整体一致性较好。

选取本设计芯片实测数据与已有文献中同类设计的输入失调电压、输入偏置电流、共模抑制比、增益带宽积等测试参数进行比较,对比结果如表 2 所示。文献[5]、文献[9]、文献[10]与本文均采用双极型工艺设计,从表中可见,本设计的芯片输入失调电压、输入失调电流、输入偏置电流均相对较低,增益带宽积较高,可满足高精度、高增益的设计要求。

表 1 芯片仿真与测试结果对比

参数	设计指标	前仿真数据	后仿真数据	实测数据
输入失调电压/μV	≤25	17.569 26	8.369 26	−4.156 675
输入偏置电流/nA	≤40	15.340 68	9.380 7	4.161
输入失调电流/nA	≤2	−0.318 776	−0.396 331 9	−1.544
共模抑制比/dB	≥114	142.418 4	142.480 3	138.329 2
电源抑制比/dB	≥100	132.513 6	122.802	140.111 4
增益带宽积/MHz	≥5	6.063 898	7.817 032	10.034 1
转换速率/(V/μs)	1.7	1.586 363	2.383 89	2.163 8
短路电流/mA	8	7.371 9	6.436 15	3.435 9
大信号增益/dB	≥120	130.289 4	128.54	128.899 1

表 2 本文与相关文献的运放参数对比

指标	本文	文献[5]	文献[9]	文献[10]
输入失调电压/μV	−4.156 675	29.6	6.94	187.89
输入失调电流/nA	−1.544	0.182	0.6	11.9
共模抑制比/dB	138.329 2	94.26	130	121.6
输入偏置电流/nA	4.161	-	12.3	29.8
电源抑制比/dB	140.111 4	99.15	127	117.3
增益带宽积/MHz	10.034 1	6.95	1.9	5.05

4 结论

本文设计了一种高精度、高增益的集成运算放大器。利用基极电流补偿结构实现了较低的输入偏置电流。增益级采用共射电路实现高增益,同时用双缓冲结构减弱了外部负载对电路增益的影响。采用双极型工艺流片,实现了均值−4.1566 75 μV 的输入失调电压,输入失调电流平均值为−1.544 nA,输入偏置电流均值为 4.161 nA,大信号增益达到 128.899 1 dB。本设计实现了高精度电流补偿,有效减小了系统失调带来的影响,可广泛运用在模数转换器的采样和保持电路、精密测量仪器、自动控制系统等领域。

参考文献:

[1] Razavi B. 模拟 CMOS 集成电路设计[M]. 陈贵山,程军,张瑞智 译. 西安交通大学出版社,2003:355-358.

[2] Sahu R, Konar M, Kundu S. Improvement of Gain Accuracy and CMRR of Low Power Instrumentation Amplifier Using High Gain Operational Amplifiers[J]. Micro and Nanosystems,2020,12(3):168-174.

[3] Sharma D,Nath V. A novel design of CMOS Cascode Operational Amplifier Based Instrumentation Amplifiers for High Gain, CMRR, and Low Power Dissipation [J]. Analog Integrated Circuits and Signal Processing,2025,122(3):39-39.

[4] Raghuveer V,Balasubramanian K,Sudhakar S. A 2 μV Low Offset,130 dB High Gain Continuous Auto Zero Operational Amplifier[C]//2017 International Conference on Communication and Signal Processing,Chennai,India,2017:1715-1718.

[5] 刘国庆,孙婧雯,马奎,等. 一种低失调轨到轨集成运算放大器的设计[J]. 半导体技术,2023,48(2):151-156,169.

[6] 朱英玮,孙海钦,李金,等. 宇航用国产高精度运算放大器应用验证研究[J]. 电子元器件与信息技术,2021,5(3):120-123.

[7] 任立. 基于 SOI 全介质隔离工艺的单刀双掷模拟开关芯片设计[D]. 成都:电子科技大学,2020.

[8] 成玉. 集成电路版图设计技巧[J]. 电子技术与软件工程,2018(22):78-79.

[9] 李伟业,李文昌,鉴海防,等. 一种高精度低噪声运算放大器设计[J]. 微电子学,2023,53(5):800-806.
[10] 王靖,郭廷,李威. 一款精准低噪声运算放大器输入级的优化设计[J]. 半导体技术,2019,44(11):846-851,875.
[11] 胡林. 一种低功耗轨到轨运算放大器的研究与设计[D]. 成都:电子科技大学,2020.
[12] 张子扬. 一种基于 PJFET 输入的高压摆率集成运算放大器[J]. 半导体技术,2024,49(3):272-278.
[13] 黎敏霞. 寄生沟道在版图设计中的影响分析[J]. 集成电路应用,2025,42(1):1-3.

曾纪春(2001—),女,硕士研究生,主要研究方向为模拟集成电路设计,15085606694@163.com;

杨发顺(1976—),男,副教授,主要研究方向为半导体功率器件与功率集成技术、半导体集成电路设计,fashun@gzu.edu.cn。